



1/10 英寸 30 万像素 CMOS 图像传感器 SP0A29

硬件设计指导手册

Version 1.1

2013. 07. 05

北京思比科微电子技术有限公司

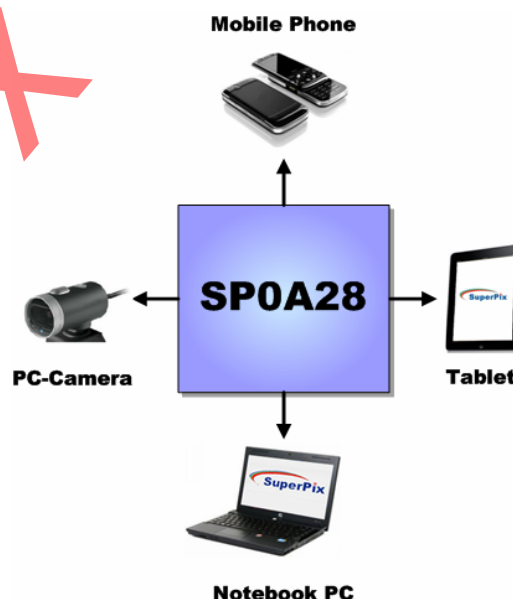
SP0A29 是一款基于思比科最新图像处理技术开发的 1/10 英寸 30 万像素图像传感器，为目前广泛应用于手机和平板电脑市场的 SP0A28 升级版芯片。该芯片有效像素阵列为 640 x 480，具备低功耗高性能模拟信号处理电路（ASP）、智能片上图像处理器（ISP）和高性能 MIPI 数据传输接口，图像效果清晰锐利，功耗更低。SP0A29 可同时抓取视频和单张图像，并支持改进的自动白平衡功能，优化的坏像素校正功能，图像锐化功能，去噪处理和自动曝光控制等。SP0A29 通过 MIPI 接口或者高速并行数据接口输出 640 x 480 (VGA) 格式图像最大帧速率可达 30fps。

主要功能

- CMOS 图像传感器
- 图像处理

典型应用

- 移动电话
- 平板电脑
- 笔记本电脑
- PC 摄像头
- 网络摄像头



www.SuperPix.com.cn

北京市 海淀区 上地五街 7 号昊海大厦 201 室

电话 86-10-82784282/1445/2087/4516/3874

传真 86-10-82784851/1427

2013 北京思比科微电子技术股份有限公司

目录

第 1 章 参考设计.....4

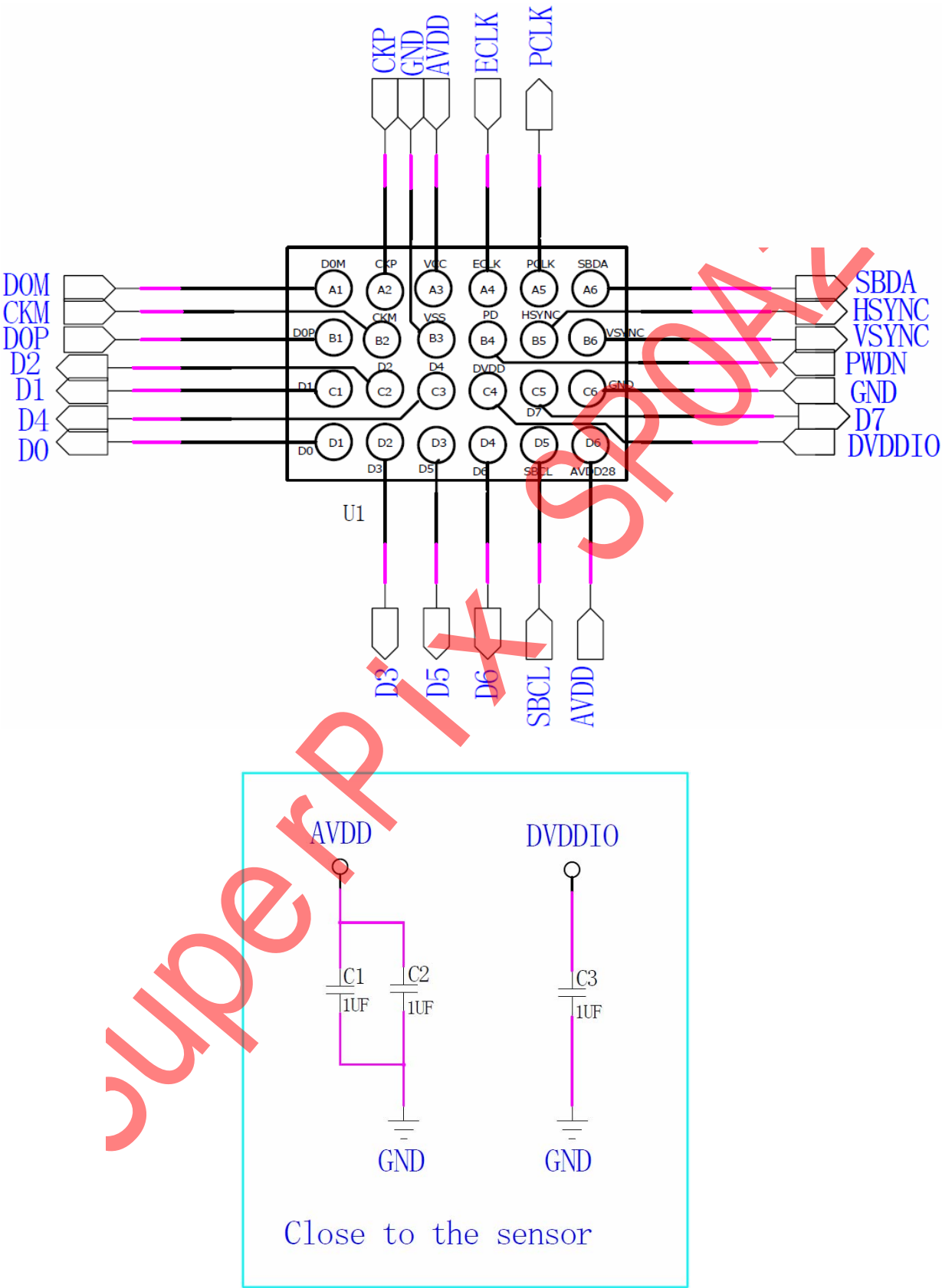
第 2 章 封装规格.....6

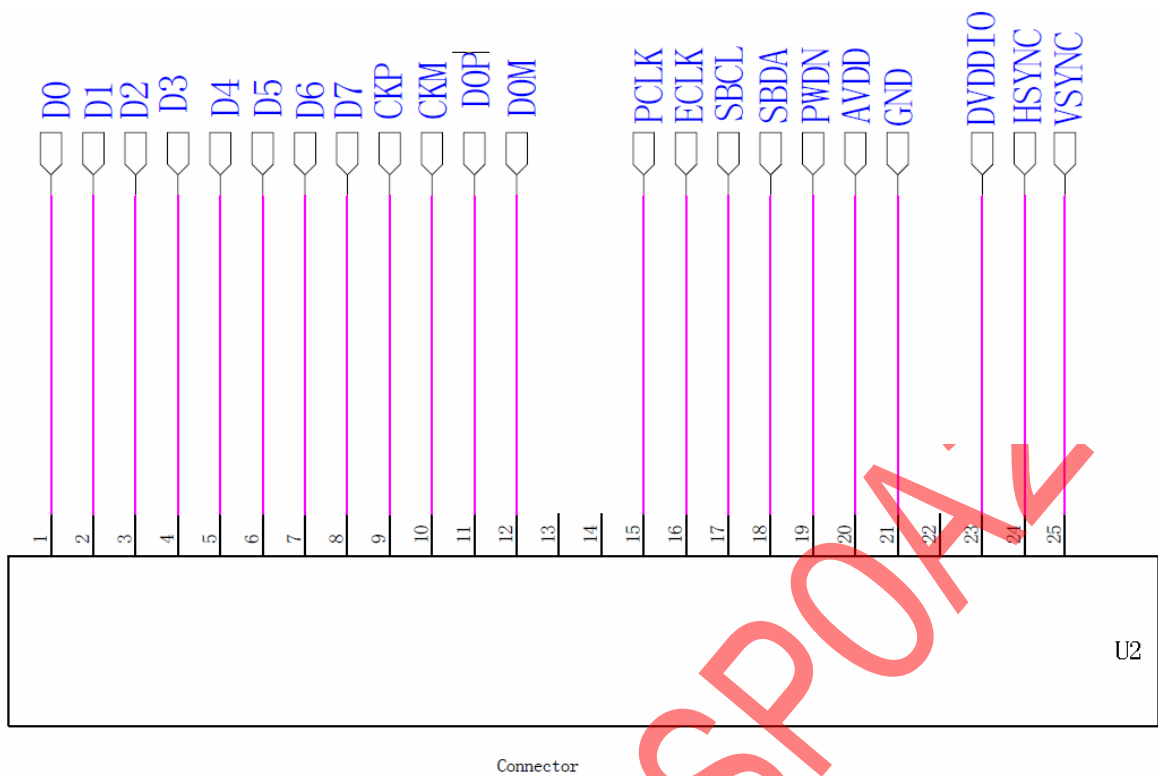
第 3 章 成像方向.....9

第 4 章 版本历史.....10

SuperPix SP0A29

第1章 参考设计





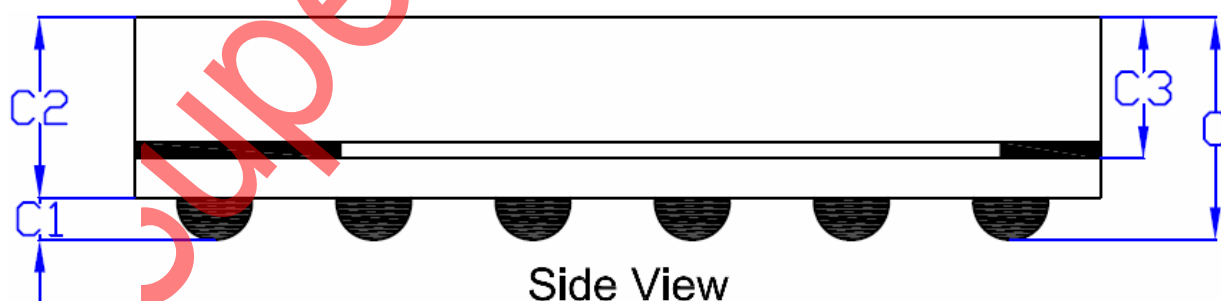
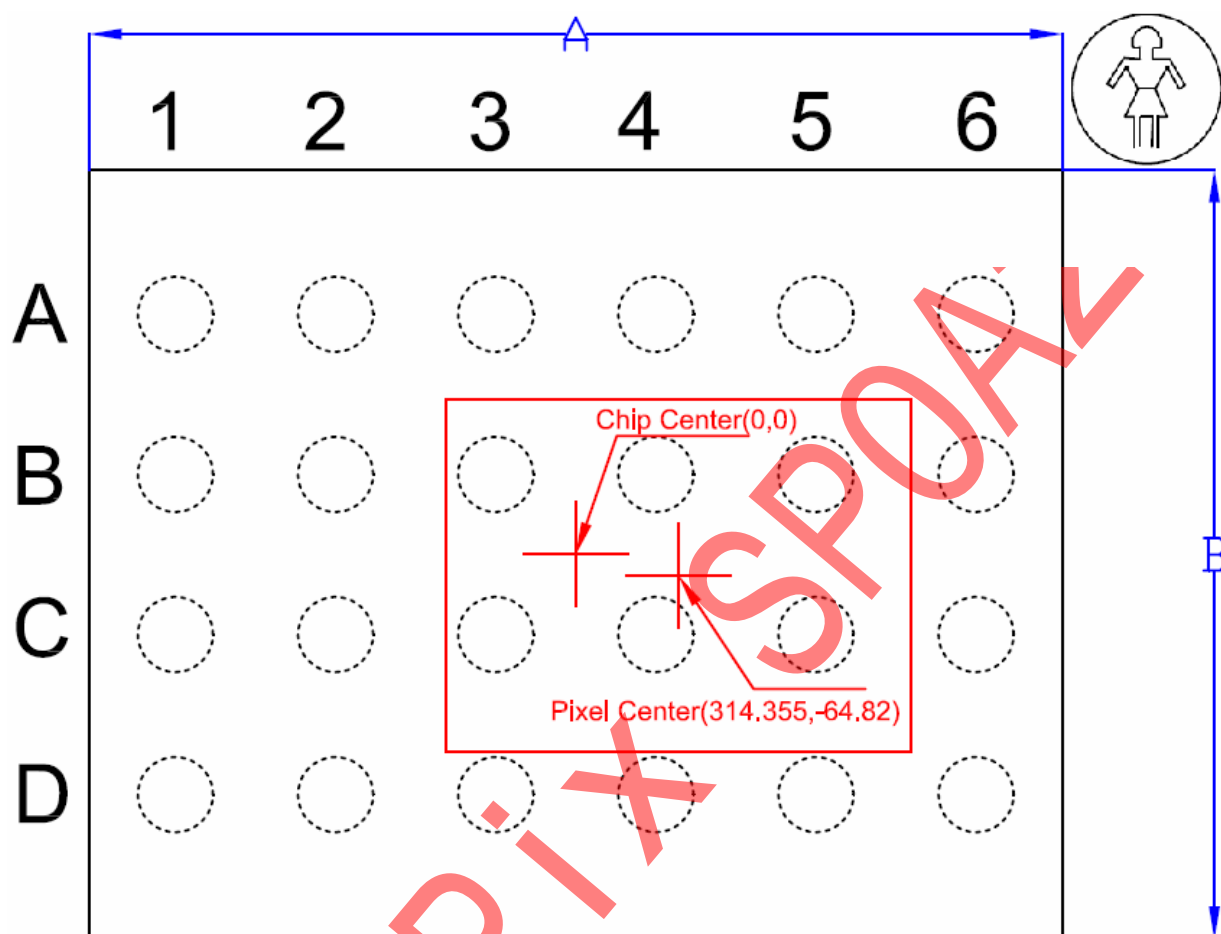
图表 1 参考设计

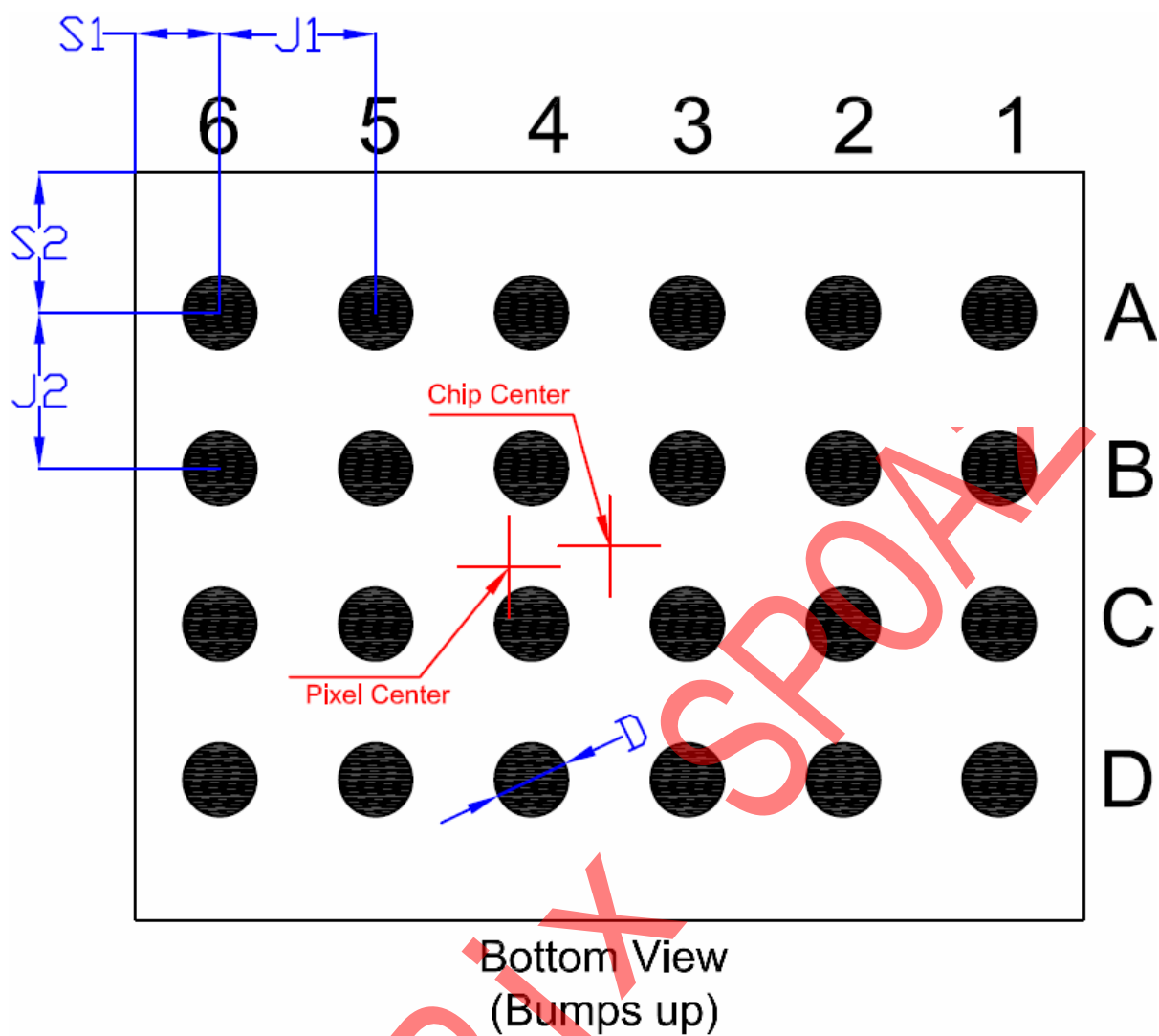
注：

- 1. 此设计兼容 MIPI 和 并口 模式；
- 2. 电源 DVDDIO 可兼容 1.8V/2.8V，根据系统接口电气特性由系统设定；AVDD 必须为 2.8V；MIPI 电源 VCC 必须为 2.8V，与 AVDD 短接；若系统 DVDDIO 高于 2.8V 时，那么 DVDDIO 和 AVDD 短接采用同一路电压输入；
- 3. PCB 设计时，芯片电源三滤波电容 C1 和 C2 分别搁置在 VCC 和 AVDD 管脚处，C3 搁置在 DVDDIO 处（最小一定要贴 0402 封装 1uf），请靠近电源管脚放置，电源应尽可能不细于 0.2mm 设计，地线拉网铺地；
- 4. PCLK/HSYNC/VSNC/D0-D7/I²C 走线尽可能平行等长设计，时钟走线尽可能短粗被地包着走；
- 5. CKP/CKM 和 D0P/D0M 是两对差分线，走线要尽可能等长等间距被地包着走，差分线底层（或 TOP 层）要有完整参考地，PCB 打样时要告诉 PCB 厂家哪些是差分线，要求厂家在制作时也要进行阻抗控制，阻抗标准 100ohm，误差不能超过±10%；
- 6. 模组生产时，FPC 采用抗干扰设计。

第2章 封装规格

单位: UM





图表 2 封装规格

Pin Location	1	2	3	4	5	6
A	D0M	CKP	VCC	ECLK	PCLK	SBDA
B	D0P	CKM	VSS	PWDN	HSYNC	VSYNC
C	D1	D2	D4	DVDD	D7	GND
D	D0	D3	D5	D6	SBCL	AVDD28

图表 3 锡球阵列信息

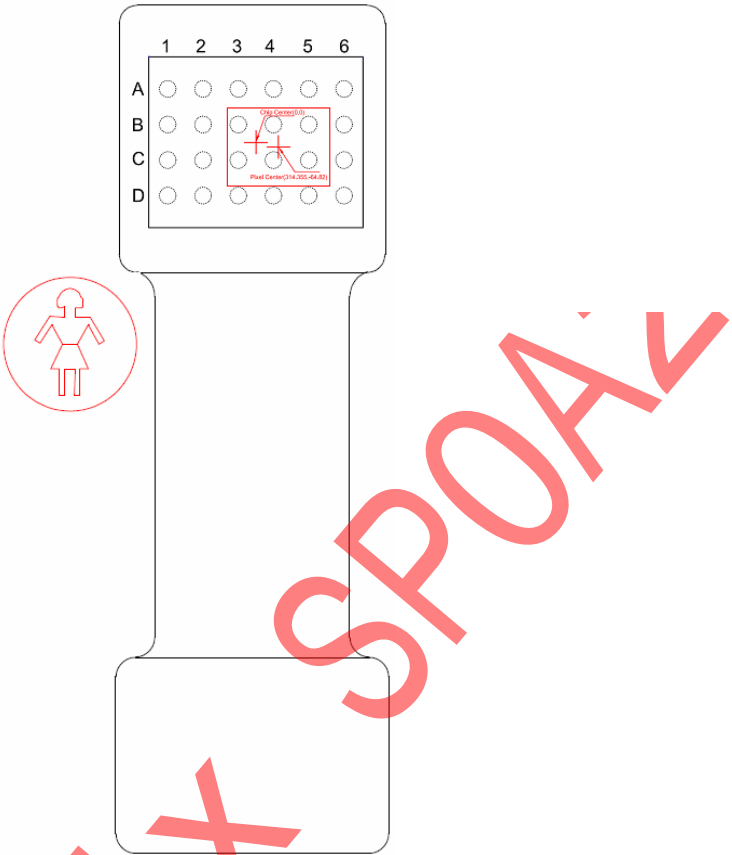
Parameter	Symbol	Nominal	Min.	Max.
Package Body Dimension X	A	2980	2955	3005
Package Body Dimension Y	B	2354	2329	2379
Package Height	C	720	660	780
Ball Height	C1	130	100	160
Package Body Thickness	C2	590	555	625
Glass Thickness	C3	445	425	465
Ball Diameter	D	230	200	260
Total Ball Count	N	24	—	—
Ball Count X axis	N1	6	—	—
Ball Count Y axis	N2	4	—	—
Pin pitch X axis	J1	490		
Pin pitch Y axis	J2	490		
Edge to Pin Center Distance along X axis	S1	265	235	295
Edge to Ball Center Distance along Y axis	S2	442	412	472

图表 4 封装尺寸

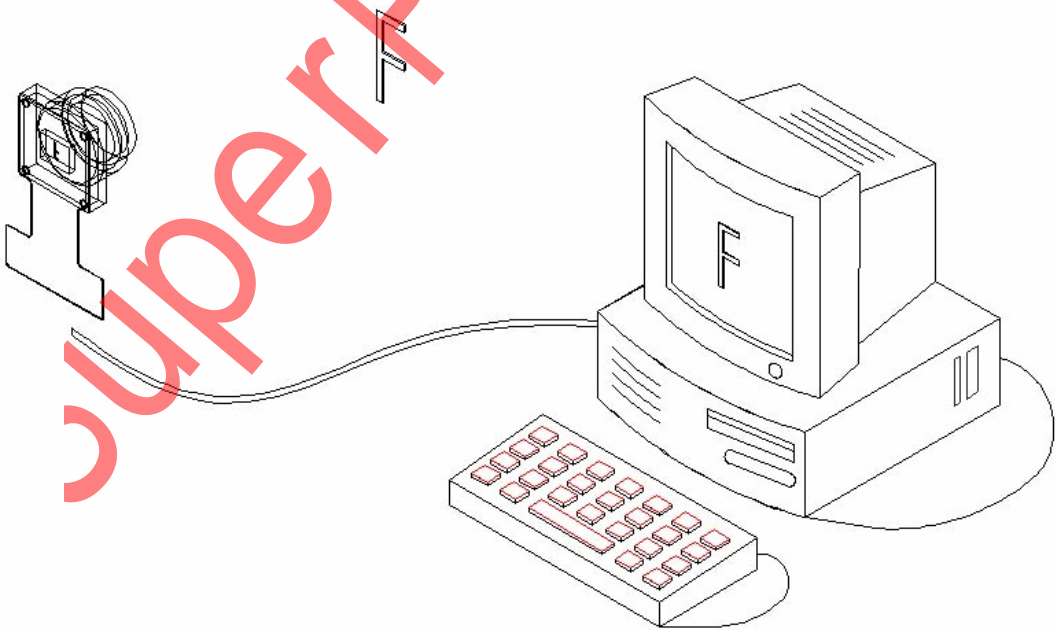
Pin#	Pin Name	I/O	Description
A1	D0M	O	MIPI data output -
A2	CKP	O	MIPI clock output +
A3	VCC	VP	MIPI Power 2.8V
A4	ECLK	I	Input Clock
A5	PCLK	O	Pixel Output Clock
A6	SBDA	I/O	Slave Tri-state, I2C data bus
B1	D0P	O	MIPI data output +
B2	CKM	O	MIPI clock output -
B3	VSS	VG	MIPI ground
B4	PWDN	I	Power down, "0" normal
B5	HSYNC	O	Horizontal Sync signal
B6	VSNC	O	Vertical Sync signal
C1	D1	O	Pixel Array Output bit1
C2	D2	O	Pixel Array Output bit2
C3	D4	O	Pixel Array Output bit4
C4	DVDD	DP	Digital IO power 2.8V
C5	D7	O	Pixel Array Output bit7
C6	GND	DG	Digital Ground
D1	D0	O	Pixel Array Output bit0
D2	D3	O	Pixel Array Output bit3
D3	D5	O	Pixel Array Output bit5
D4	D6	O	Pixel Array Output bit6
D5	SBCL	I	Slave I ² C clock bus
D6	AVDD28	AP	Analog Power 2.8V

图表 5 Pin 定义

第3章 成像方向



图表 6 模组在芯片中的摆放示意图



图表 7 模组在电脑中的显示示意图

第4章 版本历史

版本	日期	描述
硬件设计指导手册 1.0	2013.05.29	1. 第一版参考设计 ref 2013.05.29 v1.0, 封装 ref05/27-13 v1.0
硬件设计指导手册 1.0	2013.07.05	1. 修改参考设计和封装, ref 2013.07.04 v3.0 和 07/04-13 v2.0