



1/4 英寸 500 万像素 CMOS 图像传感器 SP5409

硬件设计指导手册

Version 1.1

2014.07.08

北京思比科微电子技术有限公司



硬件设计指导手册

图纸审核确认

Version 1.0

2014.07.04

拟制	刘艳红	刘艳红
审核	范小平	范小平
确认	-	-
备注		

SP5409 是 SuperPix®最新研发推出的 500 万像素 RAW 图像输出 CMOS 图像传感器芯片，仅有 1/4 英寸大小的 SP5409 可提供全尺寸 500 万像素分辨率、1080P 以及 720P 多种格式图像，广泛适用于平板电脑、可拍照手机、整合式笔记本电脑摄像头等设备，为这类产品提供具有成本效益的解决方案。SP5409 基于 SuperPix®具有自主知识产权的第 2 代图像传感器技术和最新的 1.4um 像素架构进行研发。SP5409 具有低功耗的特性，成像效果优秀。其内置的 MIPI 接口功能，使 SP5409 具备更简洁、更低功耗和兼容性更强的数据传输方式；其改进的夜景模式功能则能为用户提供更加清晰锐利的图像。

主要功能

- CMOS 图像传感器
- 图像处理

典型应用

- 移动电话摄像头
- 平板电脑摄像头
- 笔记本电脑摄像头
- PC 摄像头
- 网络摄像头



www.SuperPix.com.cn

北京市海淀区上地五街 7 号昊海大厦 201 室

电话 86-10-82784282

传真 86-10-82784851

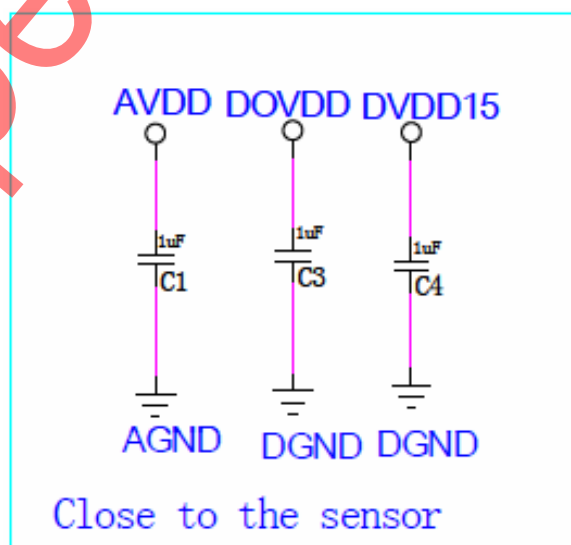
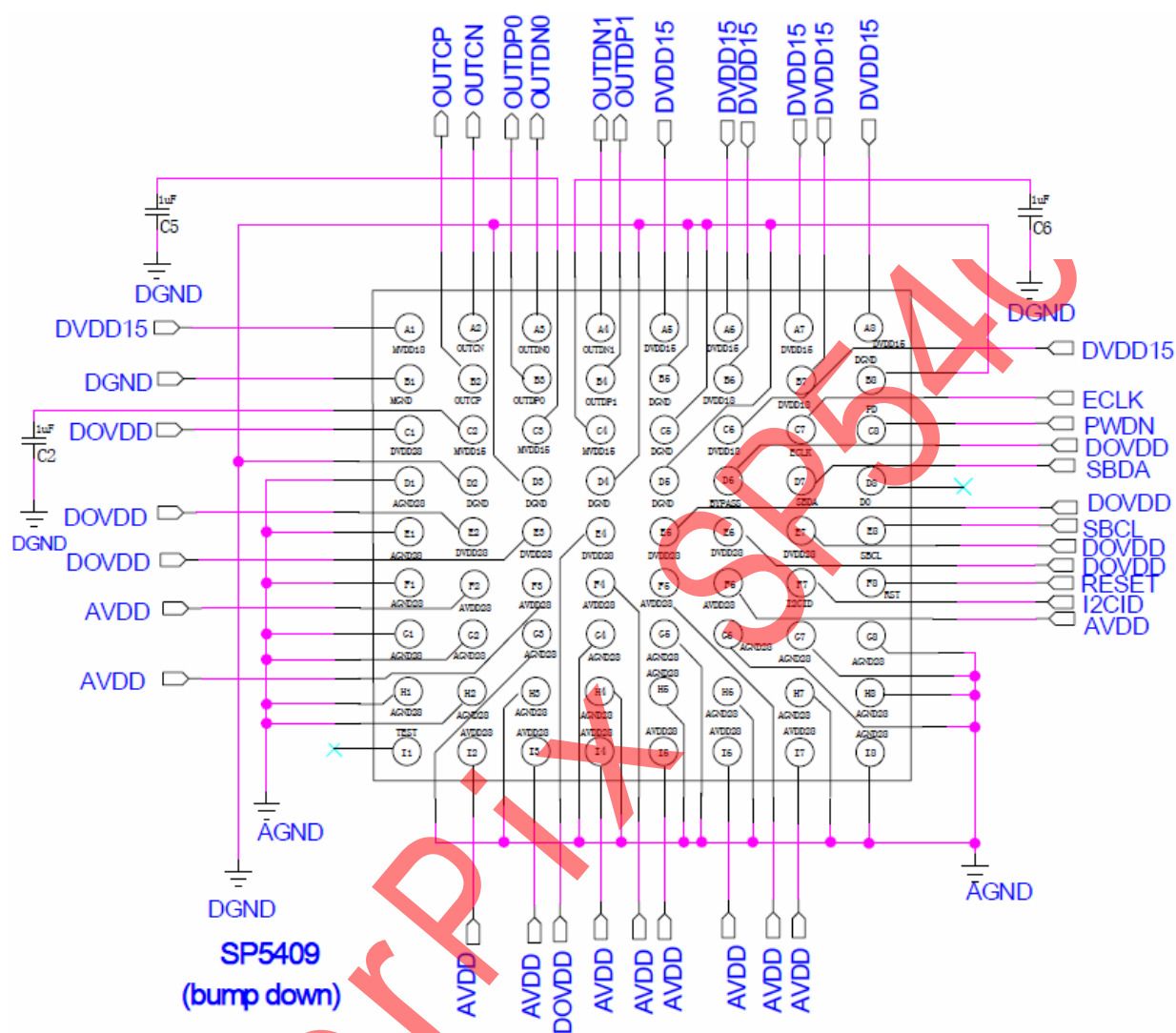
2014 北京思比科微电子技术股份有限公司

目录

第 1 章 参考设计.....	5
1.1 MIPI模式 1.5V&2.8V	5
1.2 MIPI模式 1.8V&2.8V	7
第 2 章 封装信息.....	9
第 3 章 成像方向.....	14
第 4 章 版本历史.....	15

第1章 参考设计

1.1 MIPI 模式 1.5V&2.8V

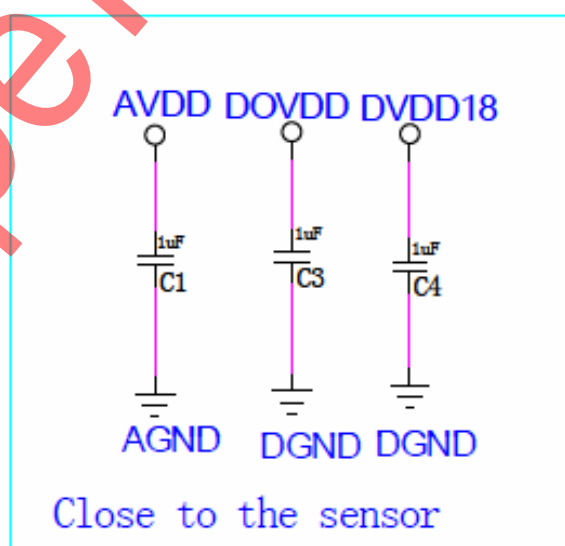
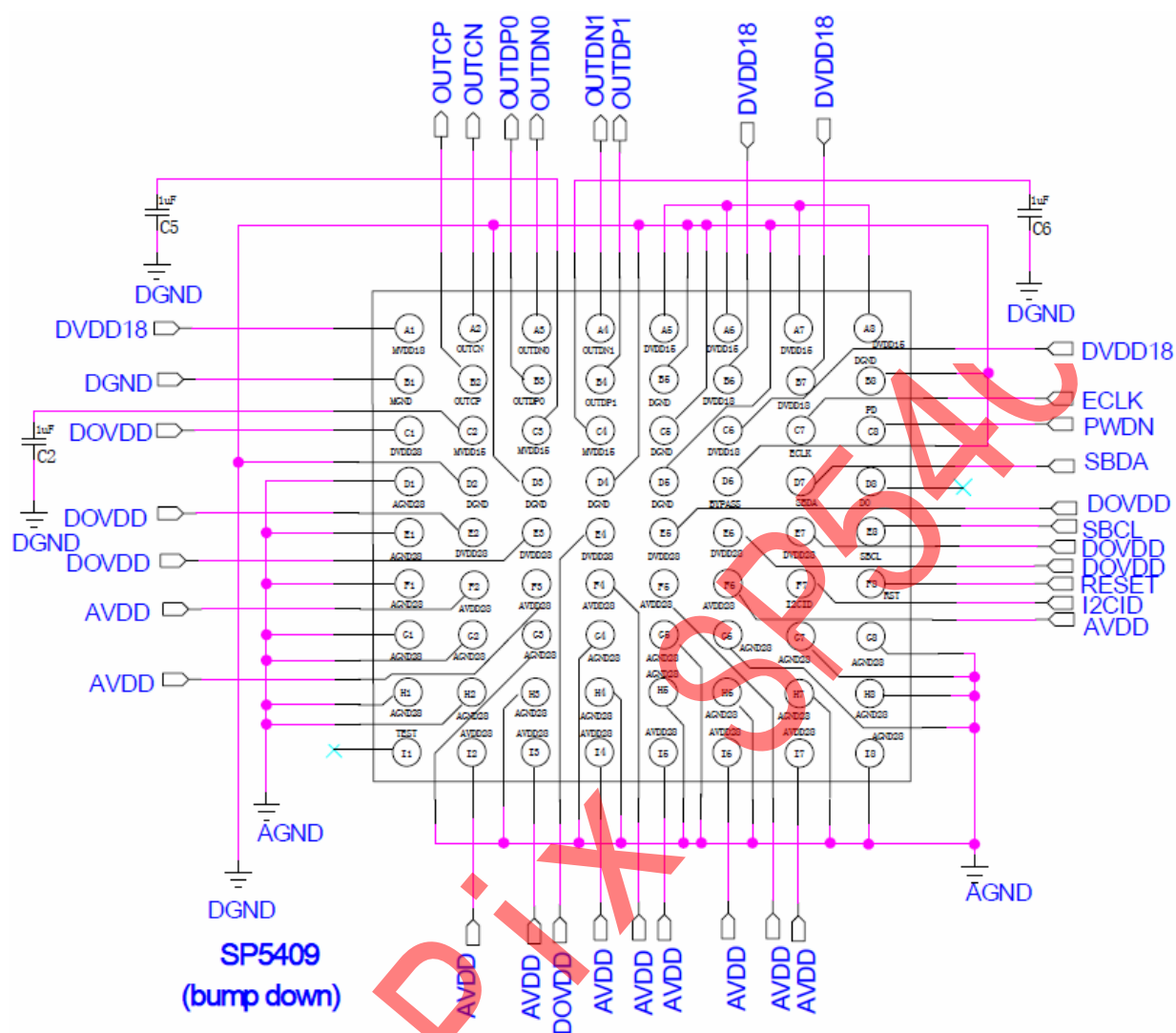


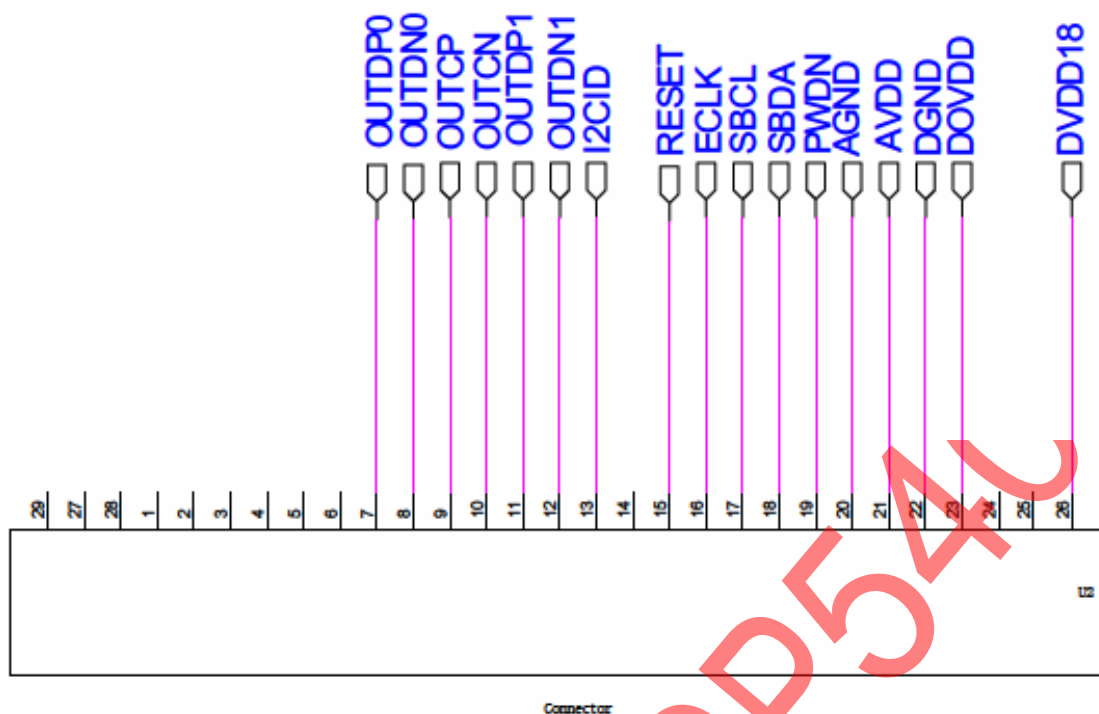


注：

1. 客户平台端 1.5V 和 2.8V 供电时：DOVDD/AVDD 接 2.8V；若系统 DOVDD 高于 2.8V 时，那么 DOVDD 和 AVDD 采用 DOVDD 电压输入；Sensor 的 MVDD18/DVDD18/DVDD15 接平台端 1.5V；MVDD15 外部接电容，不用引到接口处；BYPASS 管脚接 DOVDD。
2. 此设计是 MIPI 模式；I2CID 为 I²C 地址可控管脚，一般可以直接接地。D0 管脚为复用管脚，正常使用时作为数据位，测试时作为 VSYNC 管脚，不用引到平台接口端。TEST 管脚为测试管脚，不用引到平台接口。
3. PCB 设计时，芯片电源滤波电容（最小一定要贴 0402 封装 1uF），请靠近电源管脚放置，电源应尽可能不细于 0.2mm 设计，地线拉网铺地。
4. OUTDP0/OUTDN0、OUTDP1/OUTDN1、OUTCP/OUTCN 是三对差分线，走线要尽可能等长等间距被地包着走，差分线底层（或 TOP 层）要有完整参考地，PCB 打样时要告诉 PCB 厂家哪些是差分线要求厂家在制作时也要进行阻抗控制，阻抗标准 100ohm，误差不能超过 ±10%。

1.2 MIPI 模式 1.8V&2.8V

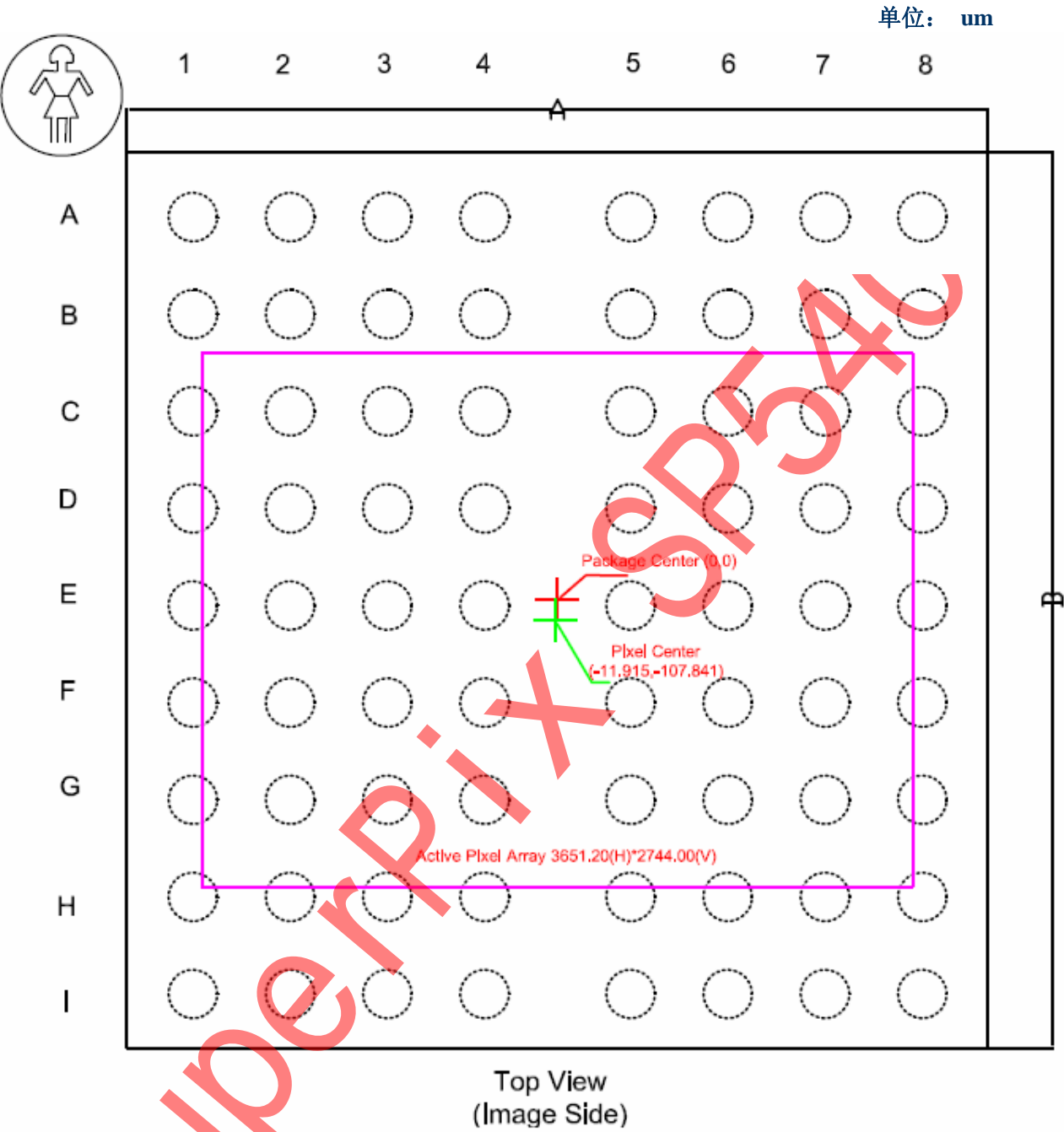


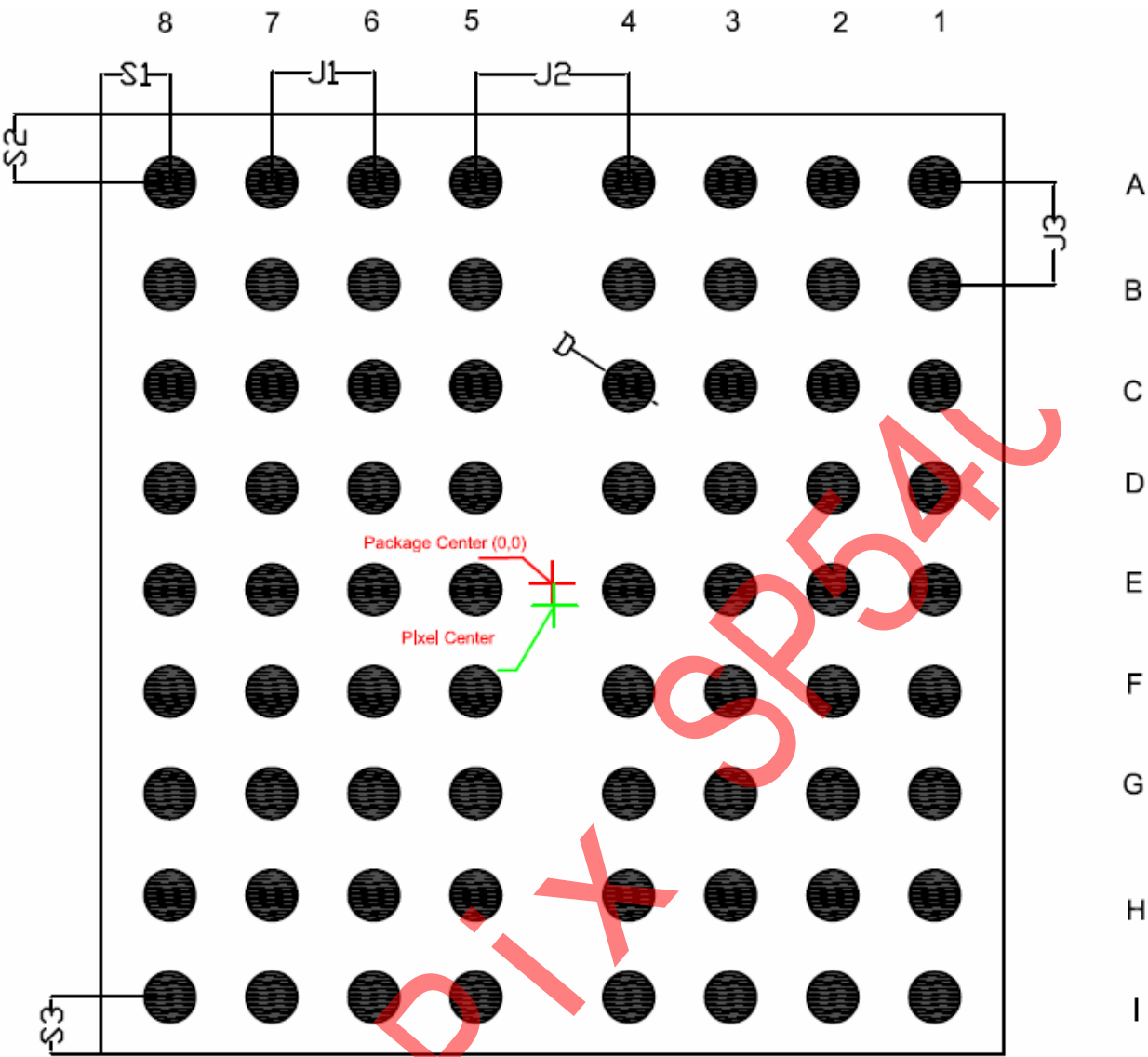


注：

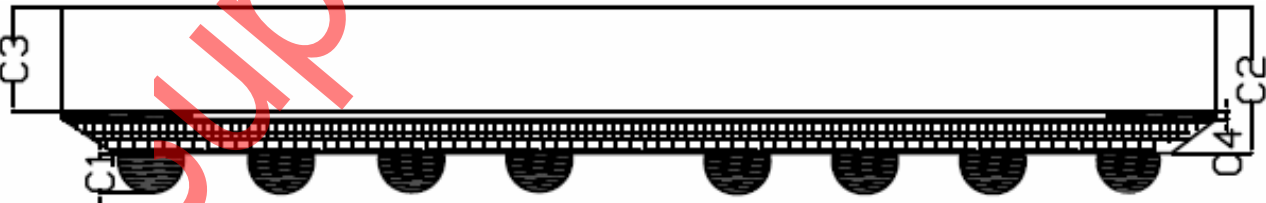
1. 客户平台端有 1.8V 和 2.8V 供电时：DOVDD 可兼容 1.8V/2.8V，根据系统接口电气特性由系统设定；AVDD 必须 2.8V；若系统 DOVDD 高于 2.8V 时，那么 DOVDD 和 AVDD 采用 DOVDD 电压输入；MVDD18/DVDD18 接 1.8V；MVDD15 外部接电容，不用引到接口处；DVDD15 内部 PAD (A5/A6/A7/A8) 短接悬空即可（不能拉低），不用引到平台接口处；BYPASS 管脚接地。
2. 此设计是 MIPI 模式；I2CID 为 I²C 地址可控管脚，一般可以直接接地。D0 管脚为复用管脚，正常使用时作为数据位，测试时作为 VSYNC 管脚，不用引到平台接口端。TEST 管脚为测试管脚，不用引到平台接口。
3. PCB 设计时，芯片电源滤波电容（最小一定要贴 0402 封装 1uF），请靠近电源管脚放置，电源应尽可能不细于 0.2mm 设计，地线拉网铺地。
4. OUTDP0/OUTDN0、OUTDP1/OUTDN1、OUTCP/OUTCN 是三对差分线，走线要尽可能等长等间距被地包着走，差分线底层（或 TOP 层）要有完整参考地，PCB 打样时要告诉 PCB 厂家哪些是差分线要求厂家在制作时也要进行阻抗控制，阻抗标准 100ohm，误差不能超过 ±10%。

第2章 封装信息





Bottom View
(BGA Side)



Cross Section View

Parameter	Symbol	Nominal	Min.	Max.
Package Body Dimension X	A	4426	4401	4451
Package Body Dimension Y	B	4617	4592	4642
Package Height	C	679	610	748
Ball Height	C1	152	90	214
Package Body Thickness	C2	527	459	595
Glass Thickness	C3	375	340	410
Cavlty Wall Thickness	C4	40	30	50
Ball Diameter(before reflow)	D	250	220	280
Total Pin count	N	72	-	-
Pin count X axls	N1	8	-	-
Pin count Y axls	N2	9	-	-
Pin pitch X axls1	J1	500	490	510
Pin pitch X axls2	J2	750	740	730
Pin pitch Y axls1	J3	500	490	510
BGA ball center to package center offset in X direction	X	0	-0.025	0.025
BGA ball center to package center offset in Y direction	Y	-30.116	-55.000	-5.000
Edge to Ball Center Distance along X axls	S1	338	308	368
	S2	338	308	368
Edge2 to Ball Center Distance along Y axls	S3	338.6	309	369
	S4	278.4	248	308

图表 1 封装尺寸

	1	2	3	4	5	6	7	8
A	MVDD18	OUTCN	OUTDN0	OUTDN1	DVDD15	DVDD15	DVDD15	DVDD15
B	MGND	OUTCP	OUTDP0	OUTDP1	DGND	DVDD18	DVDD18	DGND
C	DVDD28	MVDD15	MVDD15	MVDD15	DGND	DVDD18	ECLK	PD
D	AGND28	DGND	DGND	DGND	DGND	BYPASS	SBDA	D0
E	AGND28	DVDD28	DVDD28	DVDD28	DVDD28	DVDD28	DVDD28	SBCL
F	AGND28	AVDD28	AVDD28	AVDD28	AVDD28	AVDD28	I2CID	RST
G	AGND28	AGND28	AGND28	AGND28	AGND28	AGND28	AGND28	AGND28
H	AGND28	AGND28	AGND28	AGND28	AGND28	AGND28	AGND28	AGND28
I	TEST	AVDD28	AVDD28	AVDD28	AVDD28	AVDD28	AVDD28	AGND28

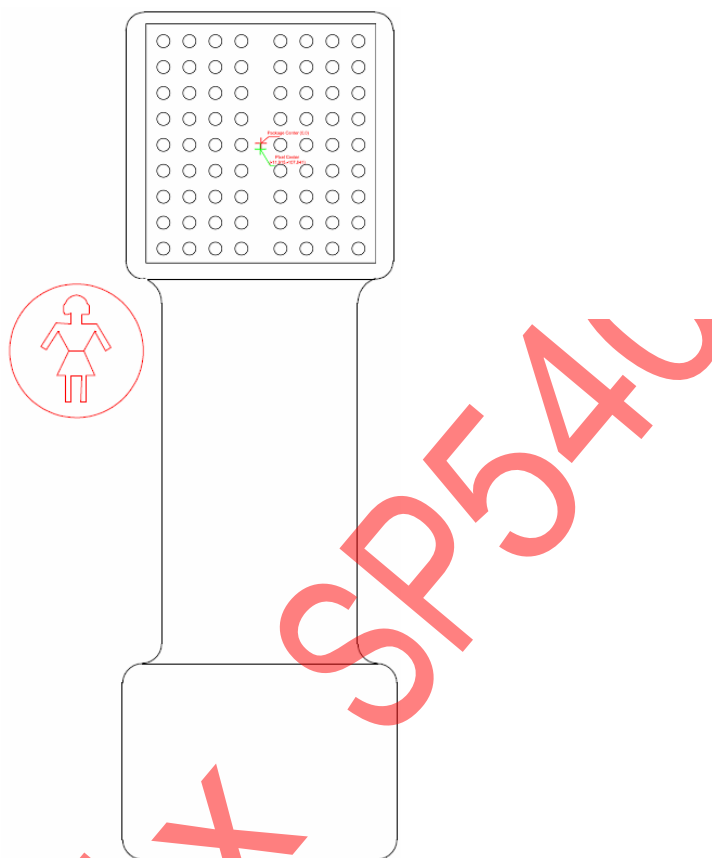
图表 2 锡球信息

PIN No.	PIN Name	I/O	Description
A1	MVDD18	MP	MIPI Power 1.8V
A2	OUTCN	O	MIPI clock output -
A3	OUTDN0	O	MIPI data0 output -
A4	OUTDN1	O	MIPI data1 output-
A5	DVDD15	DP	While "BYPASS" Pin connect to"0",internal power supply 1.5V. While "BYPASS" Pin connect to"1",external power supply 1.5V.
A6	DVDD15	DP	While "BYPASS" Pin connect to"0",internal power supply 1.5V. While "BYPASS" Pin connect to"1",external power supply 1.5V.
A7	DVDD15	DP	While "BYPASS" Pin connect to"0",internal power supply 1.5V. While "BYPASS" Pin connect to"1",external power supply 1.5V.
A8	DVDD15	DP	While "BYPASS" Pin connect to"0",internal power supply 1.5V. While "BYPASS" Pin connect to"1",external power supply 1.5V.
B1	MGND	MG	MIPI Ground
B2	OUTCP	O	MIPI clock output+
B3	OUTDP0	O	MIPI data0 output+
B4	OUTDP1	O	MIPI data1 output+
B5	DGND	DG	Digital Ground
B6	DVDD18	DP	Digital Power1.8V
B7	DVDD18	DP	Digital Power1.8V
B8	DGND	DG	Digital Ground
C1	DVDD28	DP	Digital Power2.8V
C2	MVDD15	MP	External Connect capacitance(1uF)
C3	MVDD15	MP	External Connect capacitance(1uF)
C4	MVDD15	MP	External Connect capacitance(1uF)
C5	DGND	DG	Digital Ground
C6	DVDD18	DP	Digital Power1.8V
C7	ECLK	I	Input Clock
C8	PD	I	PWDN Control, "0" normal
D1	AGND28	AG	Analog Ground
D2	DGND	DG	Digital Ground
D3	DGND	DG	Digital Ground
D4	DGND	DG	Digital Ground
D5	DGND	DG	Digital Ground
D6	BYPASS	I	"0"Internal Power supply,"1"External Power supply.
D7	SBDA	I/O	Slave Tri-state,I2C data bus
D8	D0	I/O	Multiplexing Pad for sync mode or test mode
E1	AGND28	AG	Analog Ground
E2	DVDD28	DP	Digital Power2.8V
E3	DVDD28	DP	Digital Power2.8V
E4	DVDD28	DP	Digital Power2.8V
E5	DVDD28	DP	Digital Power2.8V
E6	DVDD28	DP	Digital Power2.8V
E7	DVDD28	DP	Digital Power2.8V
E8	SBCL	I	Slave I2C clock bus
F1	AGND28	AG	Analog Ground

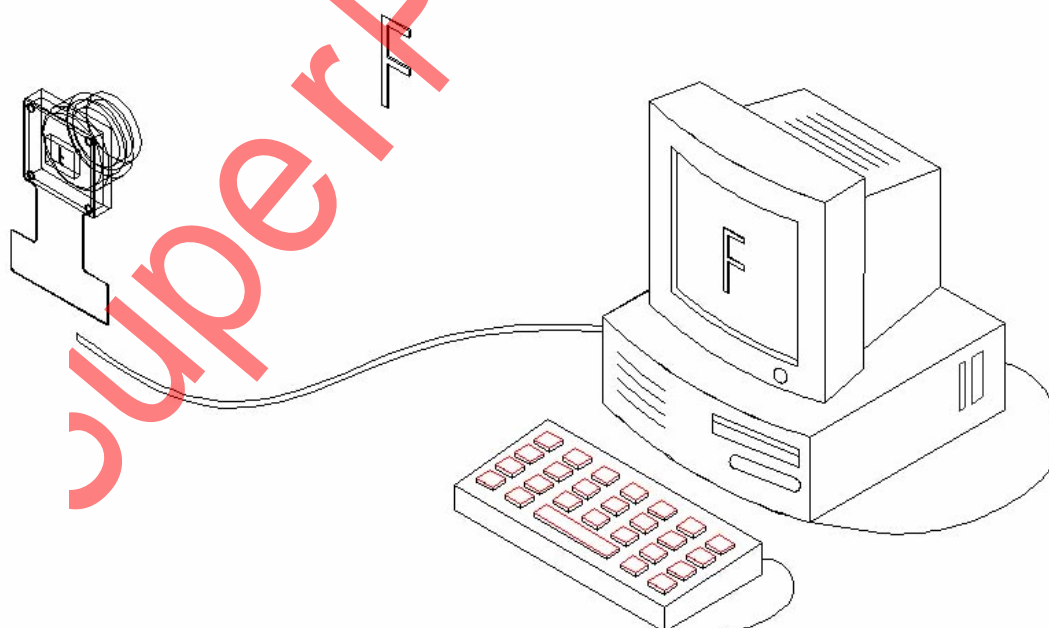
F2	AVDD28	AP	Analog Power2.8V
F3	AVDD28	AP	Analog Power2.8V
F4	AVDD28	AP	Analog Power2.8V
F5	AVDD28	AP	Analog Power2.8V
F6	AVDD28	AP	Analog Power2.8V
F7	I2CID	I	Device Address
F8	RST	I	Reset Signal,Low level reset
G1	AGND28	AG	Analog Ground
G2	AGND28	AG	Analog Ground
G3	AGND28	AG	Analog Ground
G4	AGND28	AG	Analog Ground
G5	AGND28	AG	Analog Ground
G6	AGND28	AG	Analog Ground
G7	AGND28	AG	Analog Ground
G8	AGND28	AG	Analog Ground
H1	AGND28	AG	Analog Ground
H2	AGND28	AG	Analog Ground
H3	AGND28	AG	Analog Ground
H4	AGND28	AG	Analog Ground
H5	AGND28	AG	Analog Ground
H6	AGND28	AG	Analog Ground
H7	AGND28	AG	Analog Ground
H8	AGND28	AG	Analog Ground
I1	TEST	O	Test pin
I2	AVDD28	AP	Analog Power2.8V
I3	AVDD28	AP	Analog Power2.8V
I4	AVDD28	AP	Analog Power2.8V
I5	AVDD28	AP	Analog Power2.8V
I6	AVDD28	AP	Analog Power2.8V
I7	AVDD28	AP	Analog Power2.8V
I8	AGND28	AG	Analog Ground

图表 3 Pin 定义

第3章 成像方向



图表 4 模组在芯片中的摆放示意图



图表 5 模组在电脑中的显示示意图

第4章 版本历史

版本	日期	描述
硬件设计指导手册 1.0	2014.07.04	1. 第一版 for TSV 封装，参考设计 ref2014.07.02 v1.0，封装 ref07/02-14 1.1
硬件设计指导手册 1.1	2014.07.08	1. 修改封装 ref07/08-14 1.1