



SmartSens

SmartSens™

## SC1046 设计应用指南

---

**V2.0**

**2015.05.13**

CONFIDENTIAL

## 目录

版本历史.....	2
1 产品封装基本信息.....	3
1.1 产品脚位信息.....	3
1.2 产品脚位图.....	6
1.3 产品典型应用电路图.....	7
1.4 模组布板设计的注意事项.....	7
1.4.1 设计模组时电源方案注意事项.....	7
1.4.2 外围应用注意事项.....	8
1.5 封装尺寸图.....	8

## 版本历史

版本	修改内容以及说明	Owner/date
1.0	初始版本。	Bill, 20150119
1.1	更新图 1-3 说明。	Bill, 20150423
2.0	封装类型从 PLCC32 更改为 CSP50。	Bill, 20150513

## 1 产品封装基本信息

SC1046 提供尺寸为 5792umX4830um 的 CSP50 封装。

### 1.1 产品脚位信息

表 1-1 列出了 SC1046 的信号描述及对应引脚编号。

表 1-1 信号描述

编号	信号名	引脚类型	描述
A2	AVDD	电源	3.3V 模拟电源
A3	DY0	输出	像素并行数据输出 Bit[0]
A4	DOVDD	电源	1.8V~3.3V IO 电源
A5	PIXCLK	输出	像素同步时钟
A6	AGND	地线	模拟地
A7	LREF	输出	行同步信号
A8	DY1	输出	像素并行数据输出 Bit[1]
B1	PWDN	输入	电源掉电信号输入（内置下拉电阻，高位有效）
B2	AGND	地线	模拟地
B3	FSYNC	输出	帧同步信号
B4	DVDD	电源	1.5V 数字电源
B5	PIXGND	地线	Array ground
B6	SVDD	电源	3.3V 模拟电源
B7	DY2	输出	像素并行数据输出 Bit[2]
B8	DY3	输出	像素并行数据输出 Bit[3]
C1	RESET_B	输入	复位信号输入（内置上拉电阻，低位有效）
C2	NC	NA	No connection
C3	NC	NA	No connection

编号	信号名	引脚类型	描述
C4	PIXVDD	电源	3.3V array power
C5	DGND	地线	数字地
C6	SDA	I/O	I2C 接口的数据引脚
C7	AVDD	电源	3.3V 模拟电源
C8	SCL	输入	I2C 接口的时钟引脚
D1	NC	NA	No connection
D2	NC	NA	No connection
D3	AGND	地线	模拟地
D6	AVDD	电源	3.3V 模拟电源
D7	AGND	地线	模拟地
D8	DY4	输出	像素并行数据输出 Bit[4]
E1	AVDD	电源	3.3V 模拟电源
E2	NC	NA	No connection
E3	NC	NA	No connection
E7	DY6	输出	像素并行数据输出 Bit[6]
E8	DY5	输出	像素并行数据输出 Bit[5]
F1	NC	NA	No connection
F2	AGND	地线	模拟地
F3	NC	NA	No connection
F4	NC	NA	No connection
F5	NC	NA	No connection
F6	DVDD	电源	1.5V 数字电源
F7	DY8	输出	像素并行数据输出 Bit[8]
F8	DY7	输出	像素并行数据输出 Bit[7]
G1	AVDD	电源	3.3V 模拟电源
G2	DOVDD	电源	1.8V~3.3V IO 电源

编号	信号名	引脚类型	描述
G3	DGND	地线	数字地
G4	NC	NA	No connection
G5	NC	NA	No connection
G6	DY9	输出	像素并行数据输出 Bit[9]
G7	OSC	输入	晶振时钟输入
G8	XO	输出	时钟输出

## 1.2 产品脚位图

Top View

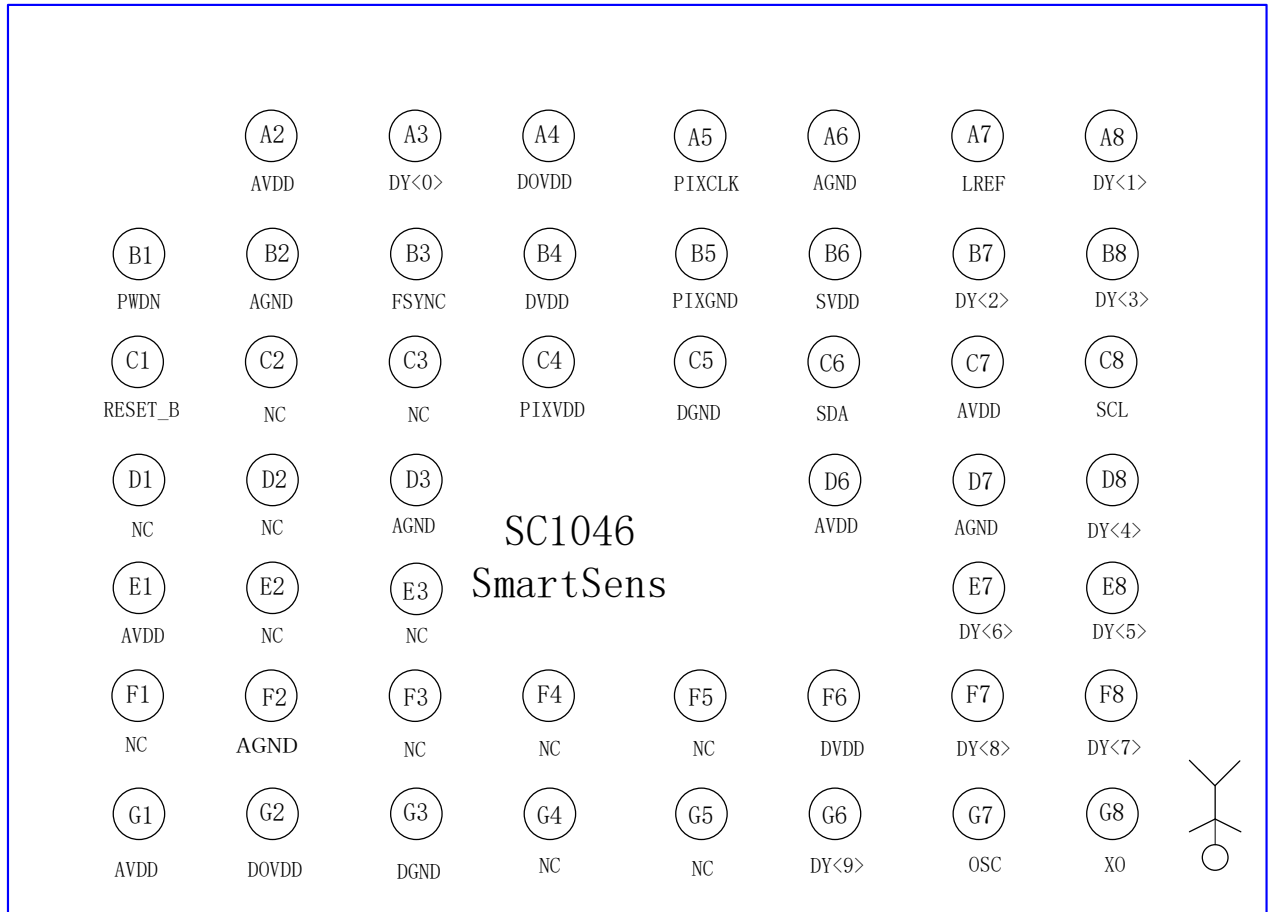


图 1-1 引脚图

## 1.3 产品典型应用电路图

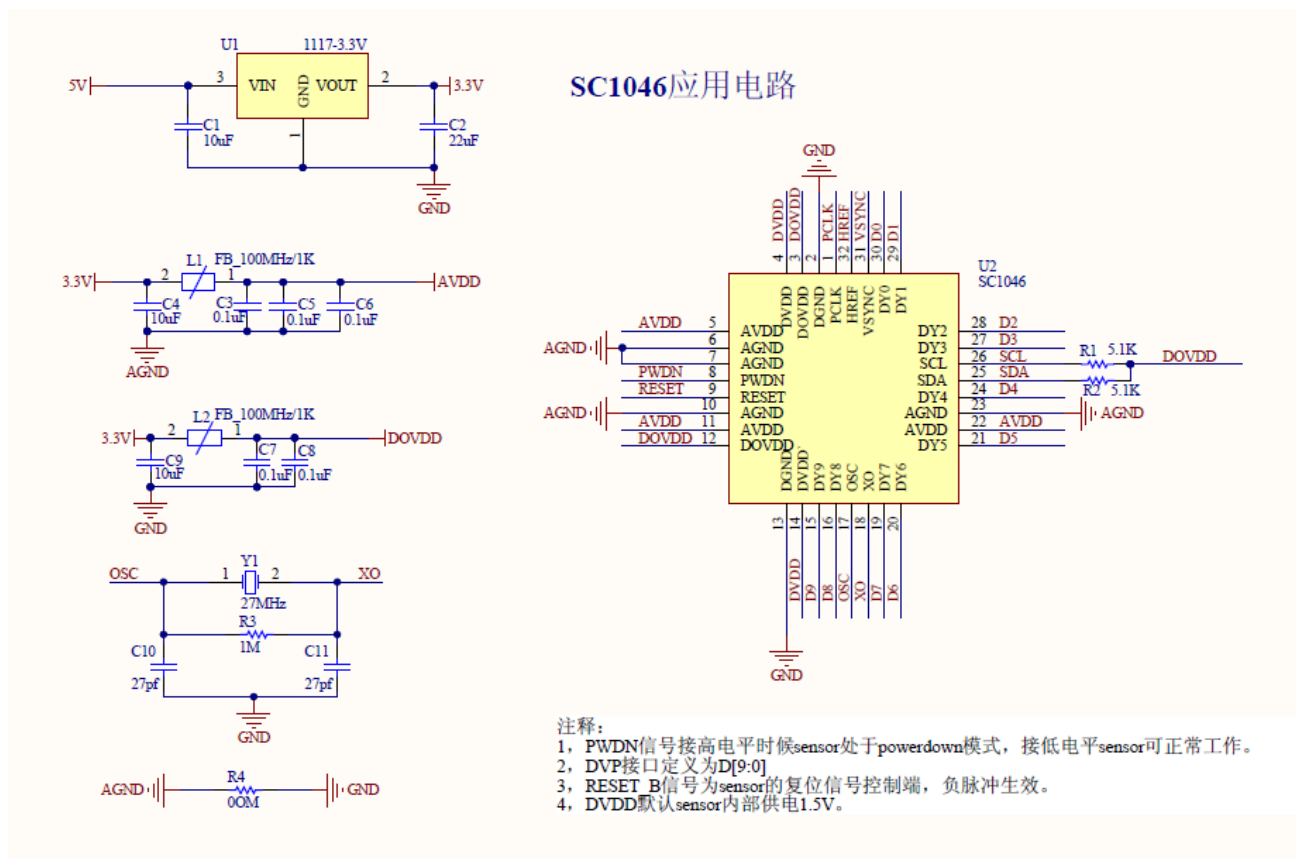


图 1-2 典型应用

注：SC1046 芯片分五路路电源：DOVDD = 1.8V~3.3V，AVDD=SVDD=PIXVDD = 3.3V，DVDD=1.5V（默认情况会采用内部LDO提供1.5V电源）。

## 1.4 模组布板设计的注意事项

### 1.4.1 设计模组时电源方案注意事项

为了获得更好的图像质量，AVDD、SVDD、PIXVDD、DOVDD 推荐使用相互隔离的 3.3V 电源供电。

DVDD 是芯片的 Core 电压，它可以由 DVDD pin 直接提供 1.5V，也可以经由 DOVDD pin 输入的电源，经过内部 LDO 产生 1.5V 电压（如需外部供电需要配置寄存器）。



### 1.4.2 外围应用注意事项

1. 设计电源模块时，LDO 应尽可能放置在靠近芯片输入引脚处，电源线走线线宽最小不应该小于 0.1mm；供给芯片 AVDD 的电源线要尽可能短；并且在每路电源供给芯片靠近引脚处需要分别放一个 0.1uF 滤波电容。
2. 设计地线时，分两路网络处理，AGND 和 DGND 要分开接；参考地线线宽为最小在 0.1mm—0.15mm 之间，在允许布线的条件下应尽可能加宽。
3. 各个电容尽可能靠近相应的引脚。并且走线应注意先经过滤波电容后再进 sensor；滤波电容是推荐的，省略可能会影响图像质量。
4. 电源走线时，不管采用那种供电方案都建议把 AVDD/SVDD/PIXVDD 和 DOVDD 分开走线。
5. OSC、XO、PIXCLK、FSYNC、LREF 的走线之间最好采用地线屏蔽或远离。
6. SCL、SDA 的走线应该尽量远离 OSC、XO、PIXCLK、D0、D1（低位高频数据 pin），或用地线屏蔽。
7. RESET\_B（复位）、PWDN 的走线也应该尽量远离 OSC、XO、PIXCLK、DATA 信号。
8. I2C 走线时必须加 5.1K (5.1K 是推荐值) 的上拉电阻。
9. 芯片的 NC 引脚在布线时直接悬空不接。
10. 芯片可采用无源晶振，直接连接到 OSC，XO 两端作为输入时钟信号，也可由 ISP 芯片或有源晶振，直接提供时钟信号到 OSC 端口作为系统输入时钟。

## 1.5 封装尺寸图

SC1046 提供 CSP50 封装，封装具体尺寸如下：

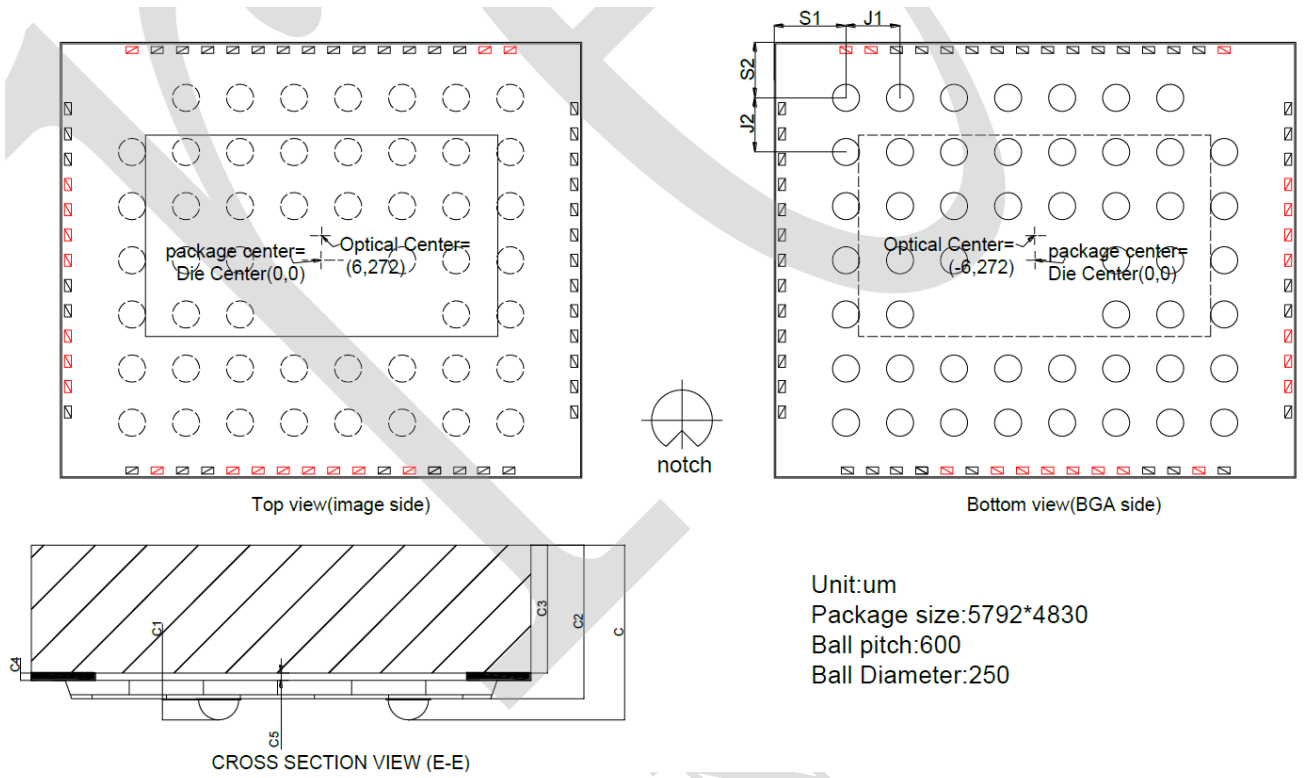


图 1-3 PLCC32 封装示意图 (单位: mm)

其具体尺寸如表 1-2 所示:

表 1-2 封装尺寸

Parameter	Symbol	Normal	Min	Max	Normal	Min	Max
		Millimeters			Inches		
Package Body Dimension X	A	5.79200	5.76700	5.81700	0.22803	0.22705	0.22902
Package Body Dimension Y	B	4.83000	4.80500	4.85500	0.19016	0.18917	0.19114
Package Height	C	0.71500	0.66000	0.77000	0.02815	0.02598	0.03031
Cavity wall height	C4	0.03000	0.02600	0.03400	0.00118	0.00102	0.00134
Cavity wall+epoxy thickness(glass to the wafer bonding top point)	C5	0.03250	0.02750	0.03750	0.00128	0.00108	0.00148
Glass Thickness	C3	0.40000	0.39000	0.41000	0.01575	0.01535	0.01614
Package Body Thickness	C2	0.59500	0.56000	0.63000	0.02343	0.02205	0.02480
Ball Height	C1	0.12000	0.09000	0.15000	0.00472	0.00354	0.00591
Ball Diameter	D	0.25000	0.22000	0.28000	0.00984	0.00866	0.01102
Total Ball Count	N	50					
Ball Count X axis	N1	8					
Ball Count Y axis	N2	7					
Pins Pitch X axis1	J1	0.60000	0.59000	0.61000	0.02362	0.02323	0.02402
Pins Pitch Y axis1	J2	0.60000	0.59000	0.61000	0.02362	0.02323	0.02402
BGA ball center to package center offset in X-direction	X	0.00000	-0.02500	0.02500	0.00000	-0.00098	0.00098
BGA ball center to package center offset in Y-direction	Y	0.00000	-0.02500	0.02500	0.00000	-0.00098	0.00098
BGA ball center to chip center offset in X-direction	X1	0.00000	-0.01400	0.01400	0.00000	-0.00100	0.00100
BGA ball center to chip center offset in Y-direction	Y1	0.00000	-0.01400	0.01400	0.00000	-0.00100	0.00100
Edge to Ball Center Distance along X	S1	0.79600	0.76600	0.82600	0.03134	0.03016	0.03252
Edge to Ball Center Distance along Y	S2	0.61500	0.58500	0.64500	0.02421	0.02303	0.02539

注：感光阵列中心与封装体中心的偏差为（6um,272um）。