

# 模组设计指导

## IT03A1

- 最大分辨率： 648x488 VGA
- 光学尺寸（CRA）： 1/10" (25.6)
- 版本： 1.0（2015.09.16）

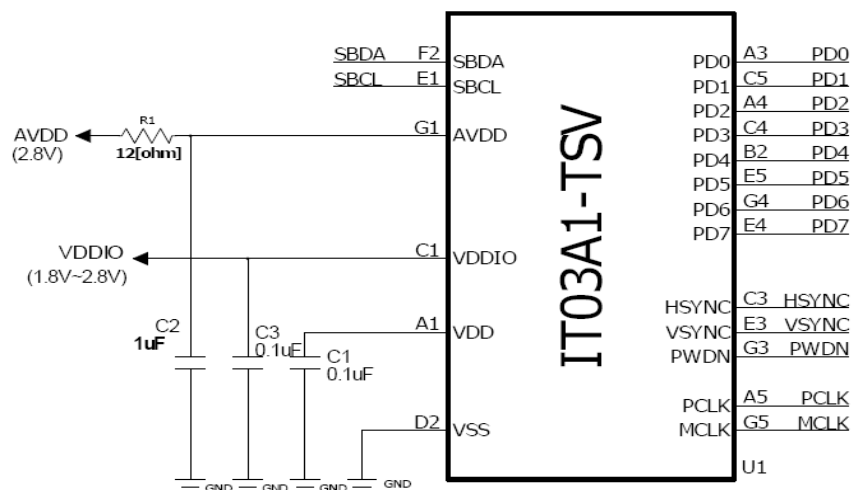


## 目录

1	参考原理图	2
1.1	电路原理图	2
1.2	说明	2
2	PCB 设计走线	3
2.1	PCB Layout 设计	3
3	IT03A1 TSV 封装规格	5
3.1	封装规格	5
3.2	封装示意图	5
3.3	锡球阵列	6
3.4	引脚描述	7
3.5	成像方向	7
4	回流焊	8
4.1	推荐回流焊温度曲线	8
4.2	关键温度和时间	8
5	芯片 CRA	9
5.1	CRA 图	9
5.2	CRA 参数表格	9
6	版本历史	10

## 1 参考原理图

### 1.1 电路原理图



### 1.2 说明

上图是关于TSV封装的参考电路原理图，TSV和COB封装会有不同电路设计。

#### 1.2.1 电源

- AVDD（模拟电压）：2.8V
- VDDIO（IO电压）：1.8V~2.8V
- AVDD须接电阻（120hm）和电容（1uF）

#### 1.2.2 去耦电容

- 所有的电容要尽可能地放置在接近芯片引脚的位置

#### 1.2.3 走线

- I2C的数据线（SBDA）和时钟线（SBCL）必须接上拉电阻（1.5K~4.7K）
- 上拉电阻的大小根据不同的平台和SBCL时钟频率而有所区别
- PD7:0（PD7：MSB，PD0：LSB）是芯片8位数据的输出脚
- PWDN低电平时芯片工作，高电平时芯片待机

## 2 PCB 设计走线

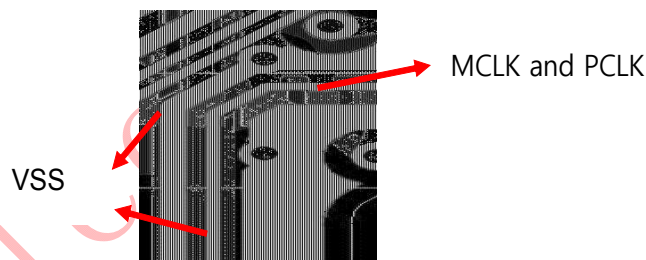
### 2.1 PCB Layout设计

#### 2.1.1 电源

- AVDD和VSS（地）走线的宽度不低于0.2mm.
- AVDD建议单独供电，防止电源噪声干扰芯片工作
- 旁路电容必须尽可能靠近芯片的电源脚，地线拉网铺地
- VDDIO和AVDD电源线建议分开在不同的板层上布线，如果在同一板层上走线，那么VDDIO要尽量远离AVDD
- 模组布局布线时，FPC应采用抗干扰设计

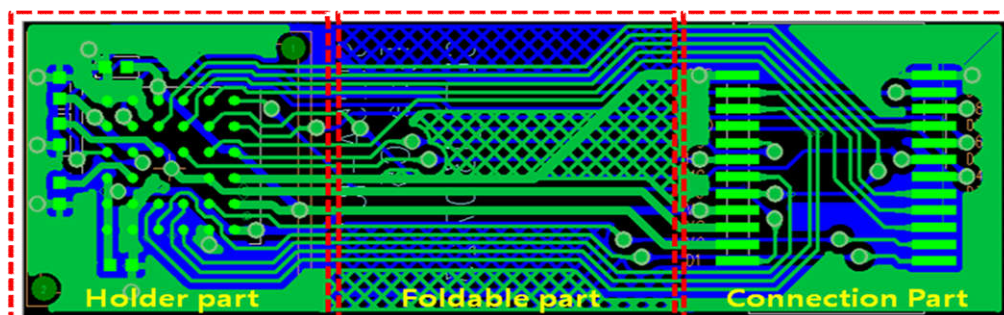
#### 2.1.2 信号线

- HSYNC/VSYNC/SBDA/SBCL走线尽可能远离高频信号线（MCLK, PCLK, PD0~PD7）设计
- MCLK, PCLK走线应与地布在同一层，走线尽量短粗且被地线包围

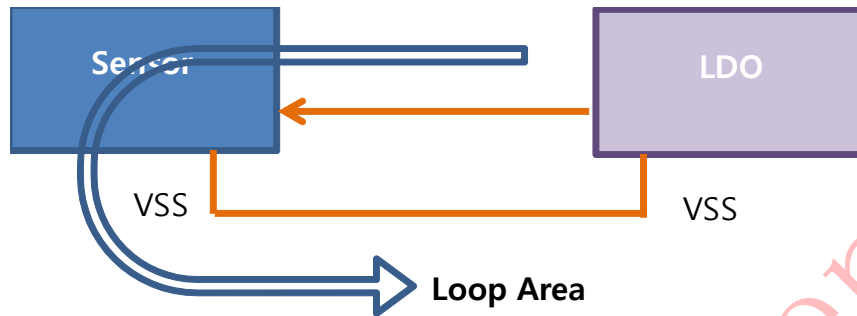


#### 2.1.3 地线

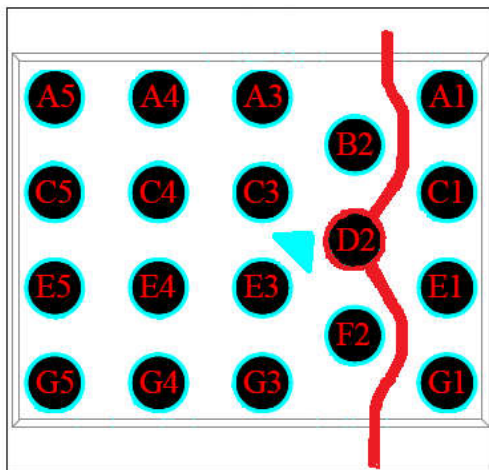
- 建议将地线尽量填充在所有层，以便散热和减少干扰
- 对于FPC，可弯折处地线必须设计成网状型，镜头Holder或者连接器部分地线应设计成实心型；如果使用硬PCB，所有地线都应设计成实心型。



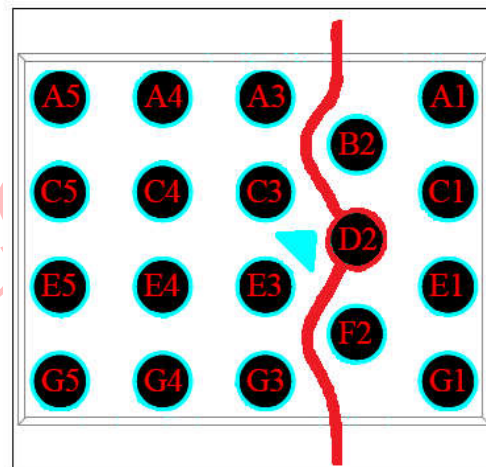
- 不同层的地线通过通孔相连，且尽量保持相同的间隔
- 应尽量缩短供电电流返回通路的长度，AVDD/VDDIO与VSS所包含的回路面积应尽量小



- VSS (D2管脚) 应设计成上下走线



(case1)



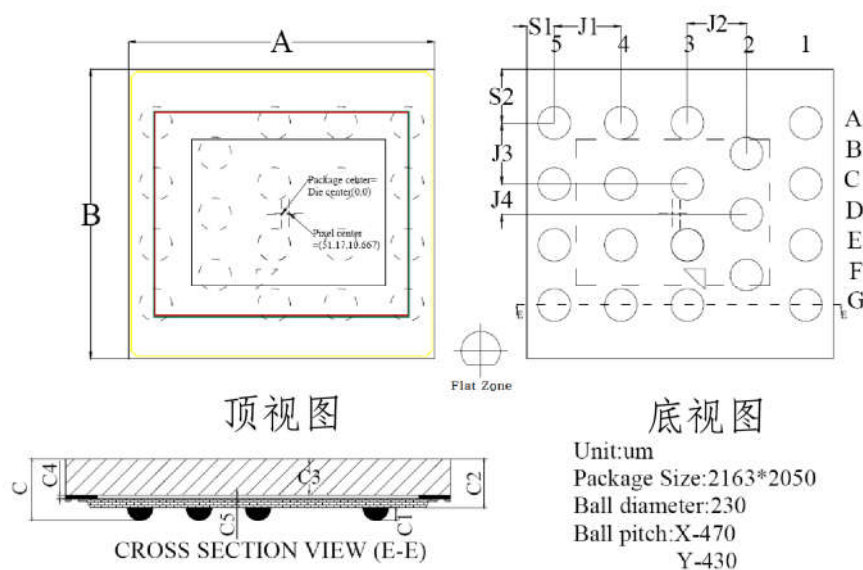
(case2)

### 3 IT03A1 TSV 封装规格

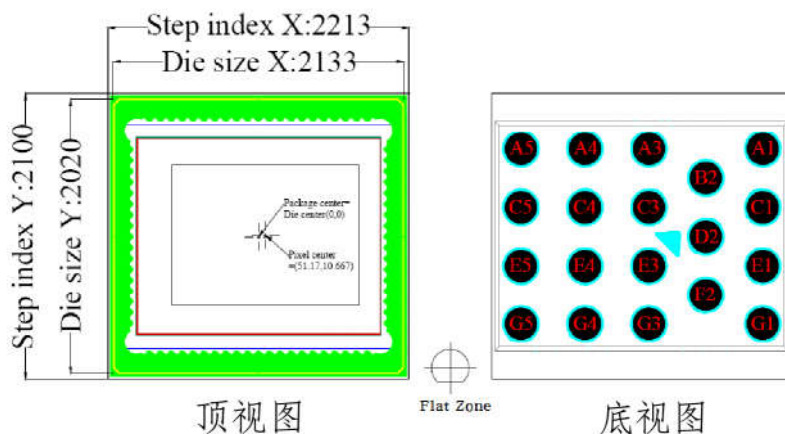
#### 3.1 封装规格

Parameter	Symbol	Nominal(um)	Min(um)	Max(um)
Package body dimension X	A	2163	2138	2188
Package body dimension Y	B	2050	2025	2075
Package Height	C	690	635	745
Cavity wall + epoxy thickness	C5	33.5	28.5	38.5
Cavity Height(Glass - Pixel)	C4	30	26	34
Glass Thickness	C3	400	390	410
Package Body Thickness	C2	560	525	595
Ball Height	C1	130	100	160
Ball Diameter	D	230	200	260
Total Ball Count	N	20		
Ball Count X axis	N1	5		
Ball Count Y axis	N2	7		
Pins Pitch Y axis-1	J1	470		
Pins Pitch X axis-2	J2	418		
Pins Pitch Y axis-1	J3	430		
Pins Pitch Y axis-2	J4	215		
Edge to Ball Center Distance along X	S1	193.5	163.5	223.5
Edge to Ball Center Distance along Y	S2	380	350	410

#### 3.2 封装示意图



## 3.3 锡球阵列



Unit:mm  
Die size:2133\*2020  
Step index:2213\*2100  
Scribe line:80

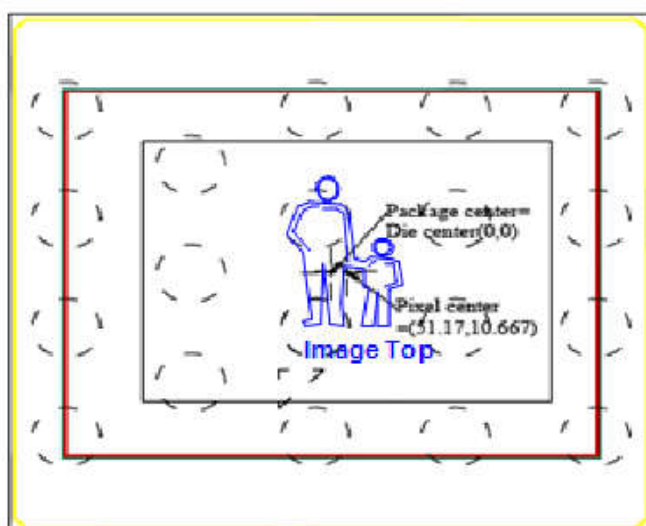
PIN	1	2	3	4	5
A	VDD	/	PD0	PD2	PCLK
B		PD4	/	/	/
C	VDDIO	/	HSYNC	PD3	PD1
D	/	VSS	/	/	/
E	SBCL	/	VSYN	PD7	PD5
F	/	SBDA	/	/	/
G	AVDD	/	PWDN	PD6	MCLK



### 3.4 引脚描述

Pin	Pad Name	Pin Type	Function
A1	VDD	Power	Digital Core Power
A3	PD[0]	Output	Data Out[0]
A4	PD[2]	Output	Data Out[2]
A5	PCLK	Output	Output Pixel Data Synchronous Clock
B2	PD[4]	Output	Data Out[4]
C1	VDDIO	Power	Digital I/O Power (1.8V ~ 2.8V)
C3	HSYNC	Output	Horizontal Synchronization
C4	PD[3]	Output	Data Out[3]
C5	PD[1]	Output	Data Out[1]
D2	VSS	Ground	Digital IO / Core Ground
E1	SBCL	Input	Serial Bus Clock
E3	VSYNC	Output	Frame Synchronous Signal
E4	PD[7]	Output	Data Out[7]
E5	PD[5]	Output	Data Out[5]
F2	SBDA	I/O	Serial Bus Data
G1	AVDD	Power	Analog Power (2.8V)
G3	PWDN	Input	Chip Select Signal. (Active Low)
G4	PD[6]	Output	Data Out[6]
G5	MCLK	Input	Sensor Chip Master Clock

### 3.5 成像方向

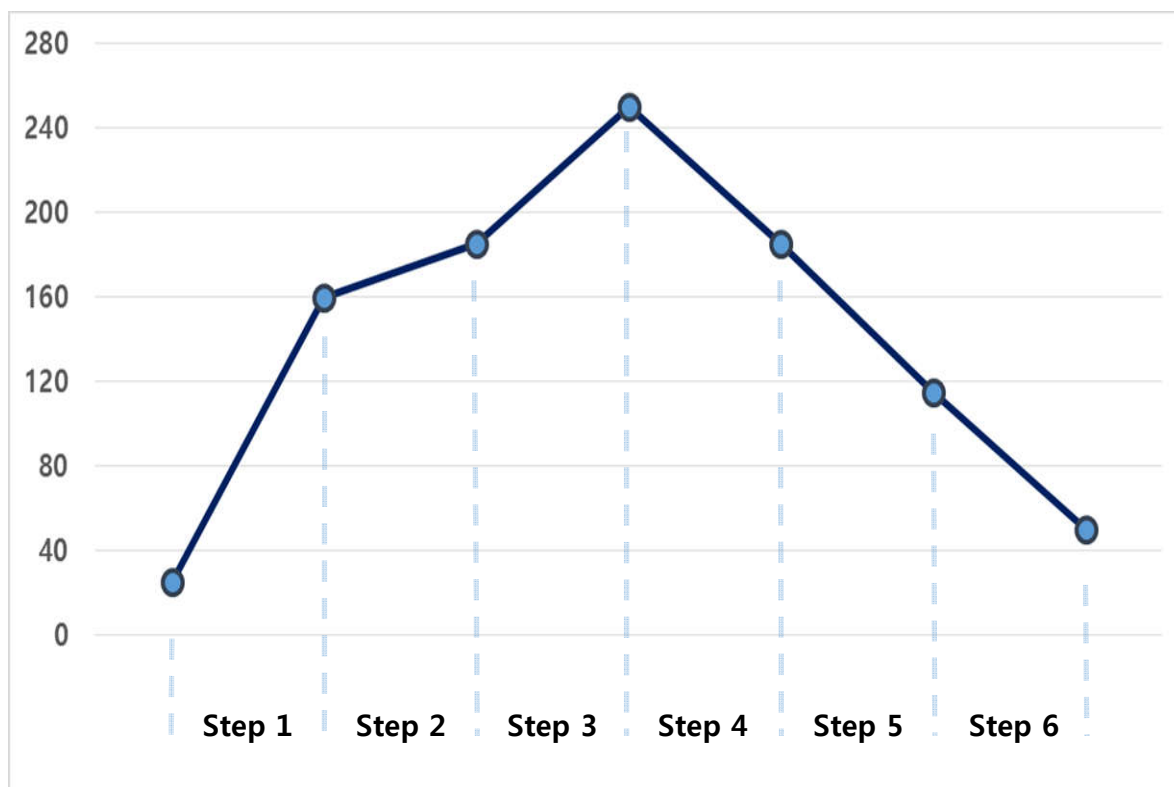


顶视图（成像面）



## 4 回流焊

### 4.1 推荐回流焊温度曲线



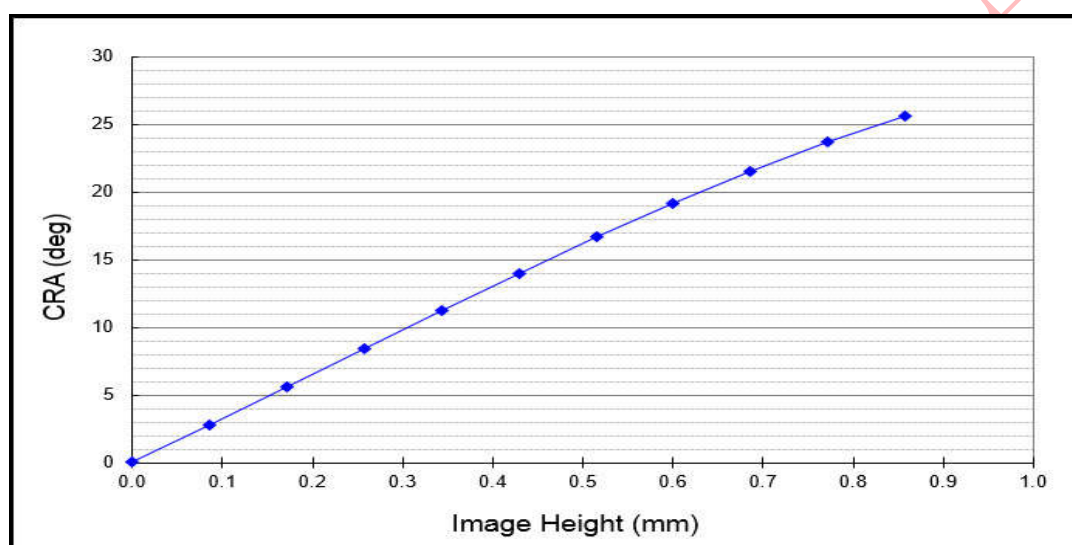
### 4.2 关键温度和时间

Step		Temperature(°C)	Time (sec)
Step 1	Temp. Rising Time	30 ~ 160	90 ~ 100
Step 2	Preheating Time	160 ~ 185	65 ~ 75
Step 3	Start to Melting Time	185 ~ 250	50 ~ 60
Step 4	Melting & Start to Frozen Time	250 ~ 185	30 ~ 40
Step 5	Finish to Frozen Time	185 ~ 115	30 ~ 40
Step 6	Cool down Time	115 ~ 50	25 ~ 35

## 5 芯片 CRA

### 5.1 CRA图

- IT03A1芯片像素阵列 648（列）×488（行），像素尺寸2.115um
- 图像高度是从图像中心到边缘的距离



### 5.2 CRA参数表格

- IT03A1最大CRA 角度 25.6度@1-field

Field	Image Height (mm)	CRA (degree)
0	0	0.02
0.1	0.09	2.79
0.2	0.17	5.6
0.3	0.26	8.42
0.4	0.34	11.23
0.5	0.43	13.98
0.6	0.52	16.69
0.7	0.6	19.19
0.8	0.69	21.53
0.9	0.77	23.71
1	0.86	25.6

## 6 版本历史

版本	备注	日期
2.0		2015.06.18