



# 1/7 英寸 30 万像素 CMOS 图像传感器 SP0718

## 硬件设计指导手册

Version 1.0

2012.11.16

北京思比科微电子技术有限公司

SP0718 是 SuperPix 最新一款 30 万像素 CMOS 图像传感器芯片，仅有 1/7 英寸大小的 SP0718 可用于平板电脑、可拍照手机、整合式笔记本电脑摄像头和网络摄像头等，为这类设备提供具有成本效益的解决方案。SP0718 基于 SuperPix 具有自主知识产权的 3.2umx3.2um 图像传感器像素结构设计，同时在传统 CMOS 图像传感器的基础上着重改进图像优化系统，SP0718 具有高感光度和低功耗的特性。SP0718 能够更加广泛地适应不同手机平台或其他便携式设备。

### 主要功能

- CMOS 图像传感器
- 图像处理

### 典型应用

- 平板电脑
- 可拍照手机
- PSP
- MP3
- PC 摄像头
- 网络摄像头



[www.SuperPix.com.cn](http://www.SuperPix.com.cn)

北京市上地五街 7 号昊海大厦 201

电话 86-10-82784282

传真 86-10-82784851

2012 北京思比科微电子技术股份有限公司

目录

第 1 章 参考设计.....4

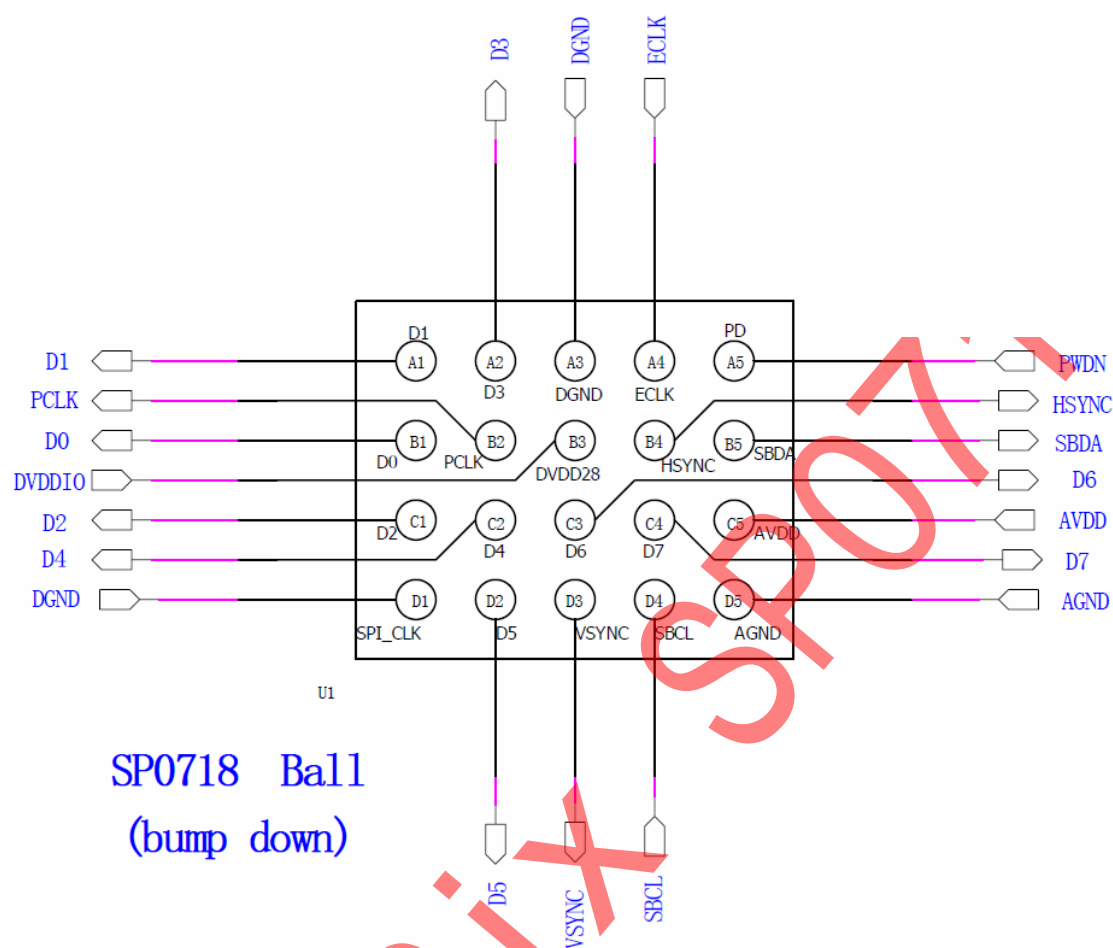
第 2 章 封装规格.....6

第 3 章 成像方向.....9

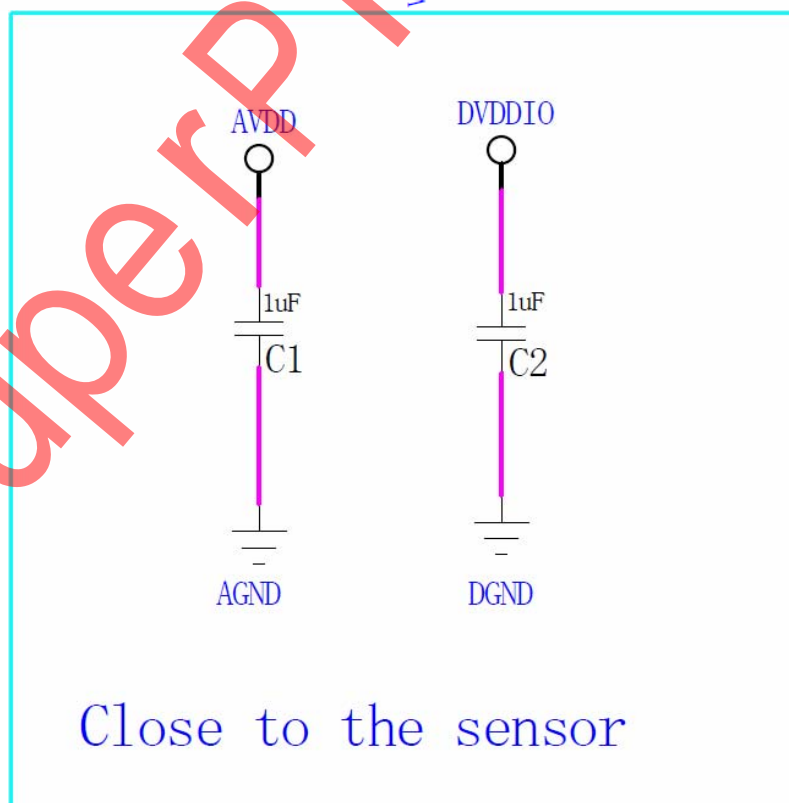
第 4 章 版本历史.....10

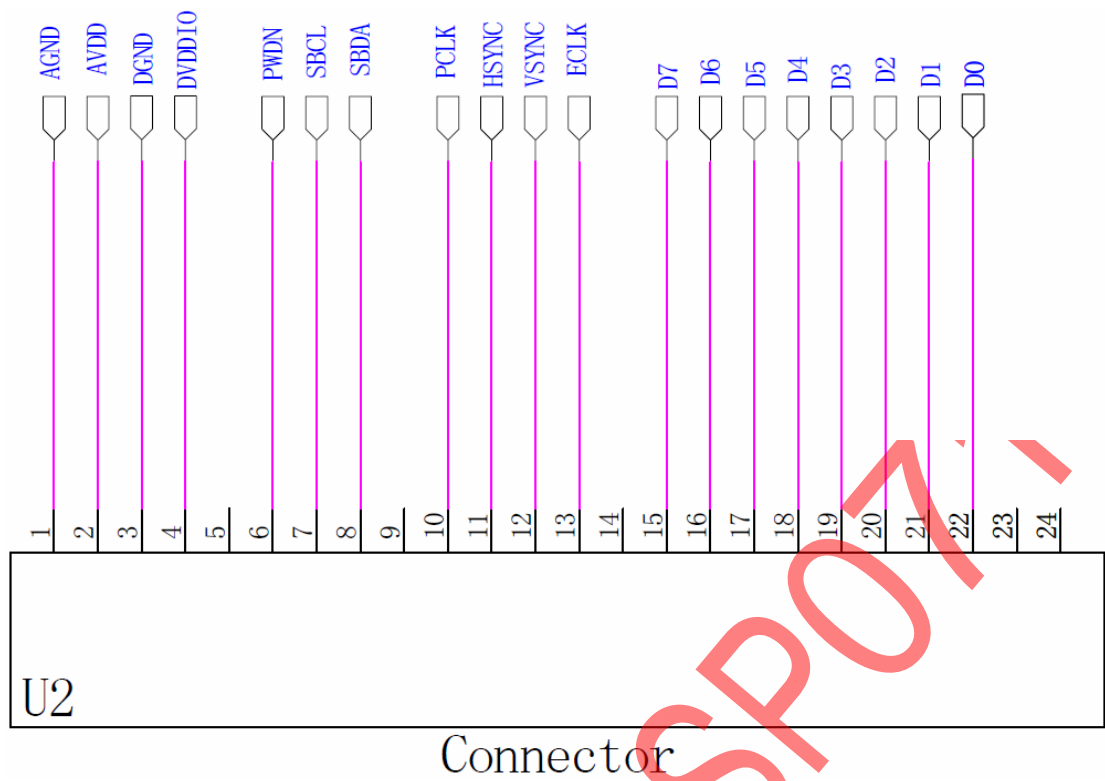
SuperPix SP0718

## 第1章 参考设计



SP0718 Ball  
(bump down)



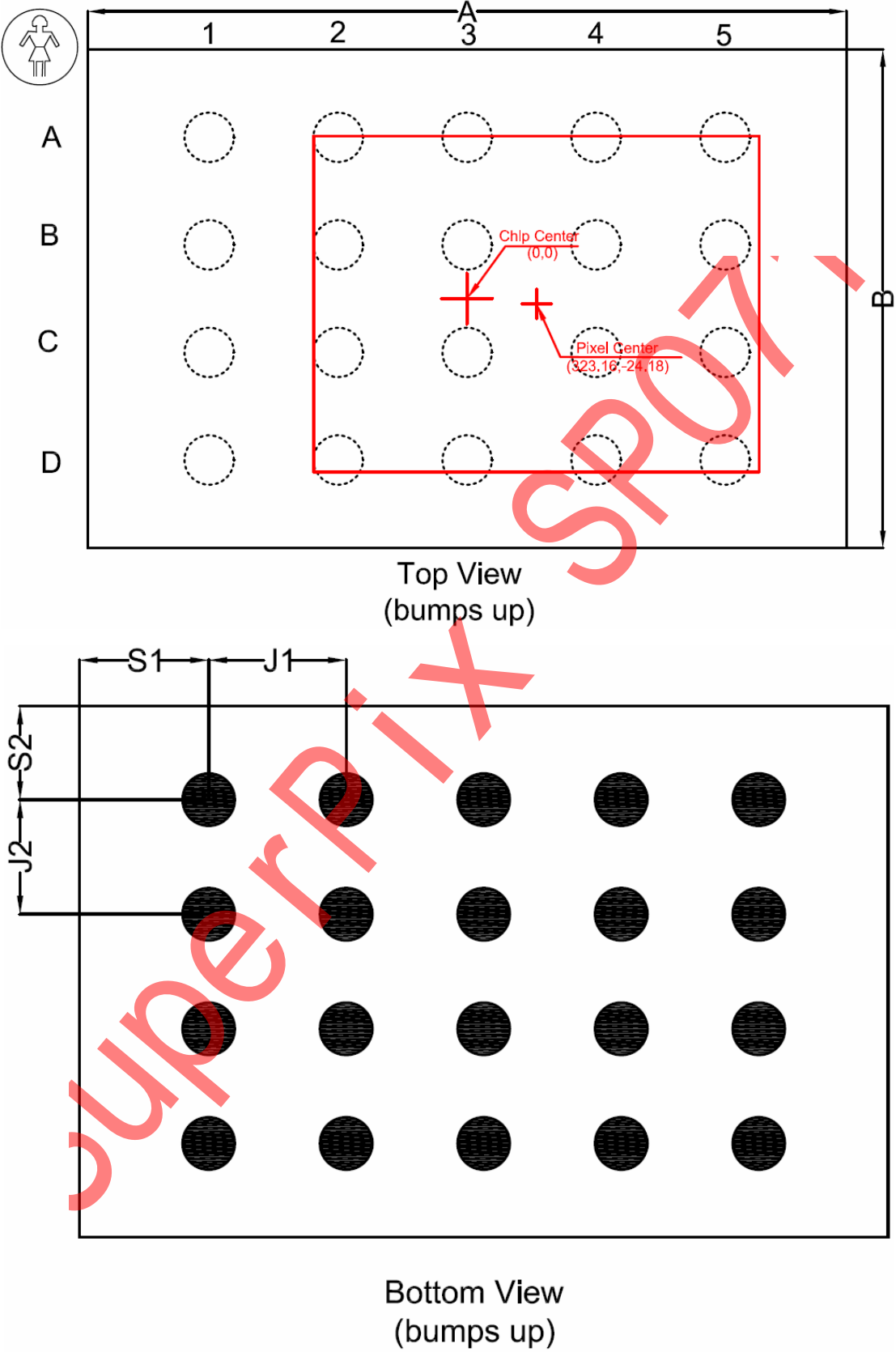


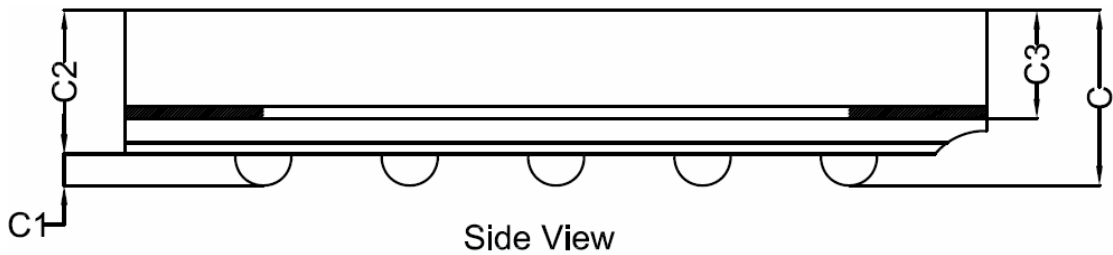
图表 1 参考设计

注：

- 1. 电源 DVDDIO 可兼容 1.8V/2.8V，根据系统接口电气特性由系统设定；AVDD 必须为 2.8V；
- 2. SP0718 单独作为并口使用时，SPI\_CLK 接地；
- 3. PCB 设计时，放置电源滤波电容时（最小一定要贴 0402 封装 1uF），请靠近电源管脚放置，电源尽可能不细于 0.2mm 设计，地线拉网铺地；
- 2. HSYNC/VSYNC/PCLK/D0-D7/I<sup>2</sup>C 走线尽可能平行等长设计，时钟走线尽可能被地包着走；
- 5. 模组生产时，FPC 采用抗干扰设计。

第2章 封装规格





图表 2 封装规格

Parameter	Symbol	Nominal	Min.	Max.
Package Body Dimension X	A	3529	3504	3554
Package Body Dimension Y	B	2317	2292	2342
Package Height	C	720	660	780
Ball Height	C1	130	100	160
Package Body Thickness	C2	590	555	625
Thickness of glass surface to wafer	C3	445	425	465
Ball Diameter	D	230	200	260
Total Ball count	N	20	—	—
Pin pitch1 X axis	J1	600	—	—
Pin pitch Y axis	J2	500	—	—
Edge to Pin Center Distance along X	S1	564.5	535	595
Edge to Pin Center Distance along Y	S2	408.5	379	439

图表 3 封装尺寸

	1	2	3	4	5
A	D1	D3	DGND	ECLK	PWDN
B	D0	PLCK	DVDD28	HSYNC	SBDA
C	D2	D4	D6	D7	AVDD
D	SPI_CLK	D5	VSYNC	SBCL	AGND

图表 4 锡球阵列信息

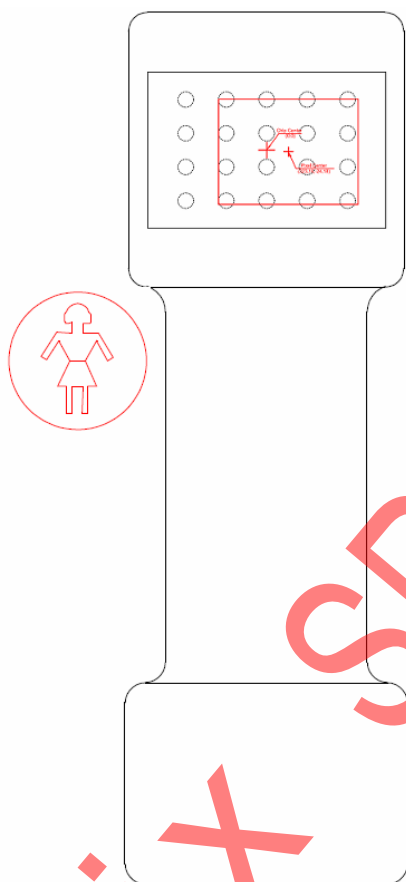
PAD	Pin Name	I/O	Pin Description
A1	D1	0	Pixel Array Output Bit 1
A2	D3	0	Pixel Array Output Bit 3
A3	DGND	DG	Digital Ground
A4	ECLK	I	Input system Clock
A5	PD	I	Power down, 0" normal "
B1	D0	0	Pixel Array Output Bit 0
B2	PCLK	0	Pixel Output Clock
B3	DVDD28	DP	Digital I/O Power 2.8V
B4	HSYNC	0	Horizontal Sync Signal
B5	SBDA	I/O	Slave Tri-state, I2C Data Bus
C1	D2	0	Pixel Array Output Bit 2

C2	D4	0	Pixel Array Output Bit 4
C3	D6	0	Pixel Array Output Bit 6
C4	D7	0	Pixel Array Output Bit 7
C5	AVDD	AP	Analog Power 2.8V
D1	SPI_CLK	I	SPI clock
D2	D5	0	Pixel Array Output Bit 5
D3	VSYNC	0	Vertical Sync Signal
D4	SBCL	I	Slave I <sup>2</sup> C clock Bus
D5	AGND	AG	Analog Ground

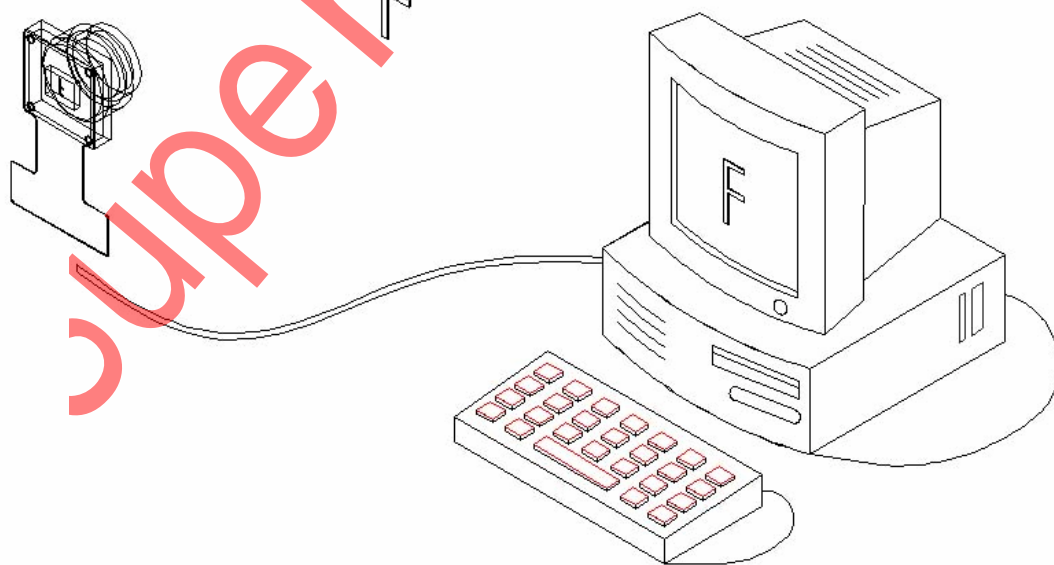
图表 5 Pin 定义



### 第3章 成像方向



图表 6 模组在芯片中的摆放示意图



图表 7 模组在电脑中的显示示意图

第4章 版本历史

版本	日期	描述
硬件设计指导手册 1.0	2012.11.16	1. 第一版 for TSV，封装 ref11/13-12 1.0，参考设计 ref 2012.11.16 1.0

SuperPix SP0718