



# 1/4 英寸 500 万像素 CMOS 图像传感器 SP5408

## 硬件设计指导手册

Version 1.1

2013. 07. 05

北京思比科微电子技术有限公司

## SuperPix CMOS Image Sensor

### 1/4 英寸 500 万像素CMOS图像传感器

SP5408

SP5408 是 SuperPix®最新研发推出的 500 万像素 RAW 图像输出 CMOS 图像传感器芯片，仅有 1/4 英寸大小的 SP5408 可提供全尺寸 500 万像素分辨率、1080P 以及 720P 多种格式图像，广泛适用于平板电脑、可拍照手机、整合式笔记本电脑摄像头等设备，为这类产品提供具有成本效益的解决方案。SP5408 基于 SuperPix®具有自主知识产权的第 2 代图像传感器技术和最新的 1.4um 像素架构进行研发。SP5408 具有低功耗的特性，成像效果优秀。其新增的 MIPI 接口功能，使 SP5408 具备更简洁、更低功耗和兼容性更强的数据传输方式；其改进的夜景模式功能则能为用户提供更加清晰锐利的图像。

### 主要功能

- CMOS 图像传感器
- 图像处理

### 典型应用

- 移动电话摄像头
- 平板电脑摄像头
- 笔记本电脑摄像头
- PC 摄像头
- 网络摄像头



[www.SuperPix.com.cn](http://www.SuperPix.com.cn)

北京市海淀区上地五街 7 号昊海大厦 201 室

电话 86-10-82784282

传真 86-10-82784851

2013 北京思比科微电子技术股份有限公司

目录

第 1 章 参考设计.....4

    1.1 MIPI接口模式 1.8V&2.8V .....4

    1.2 MIPI接口模式 1.5V&2.8V .....7

    1.3 并行接口模式 1.8V&2.8V..... 10

    1.4 并行接口模式 1.5V&2.8V..... 13

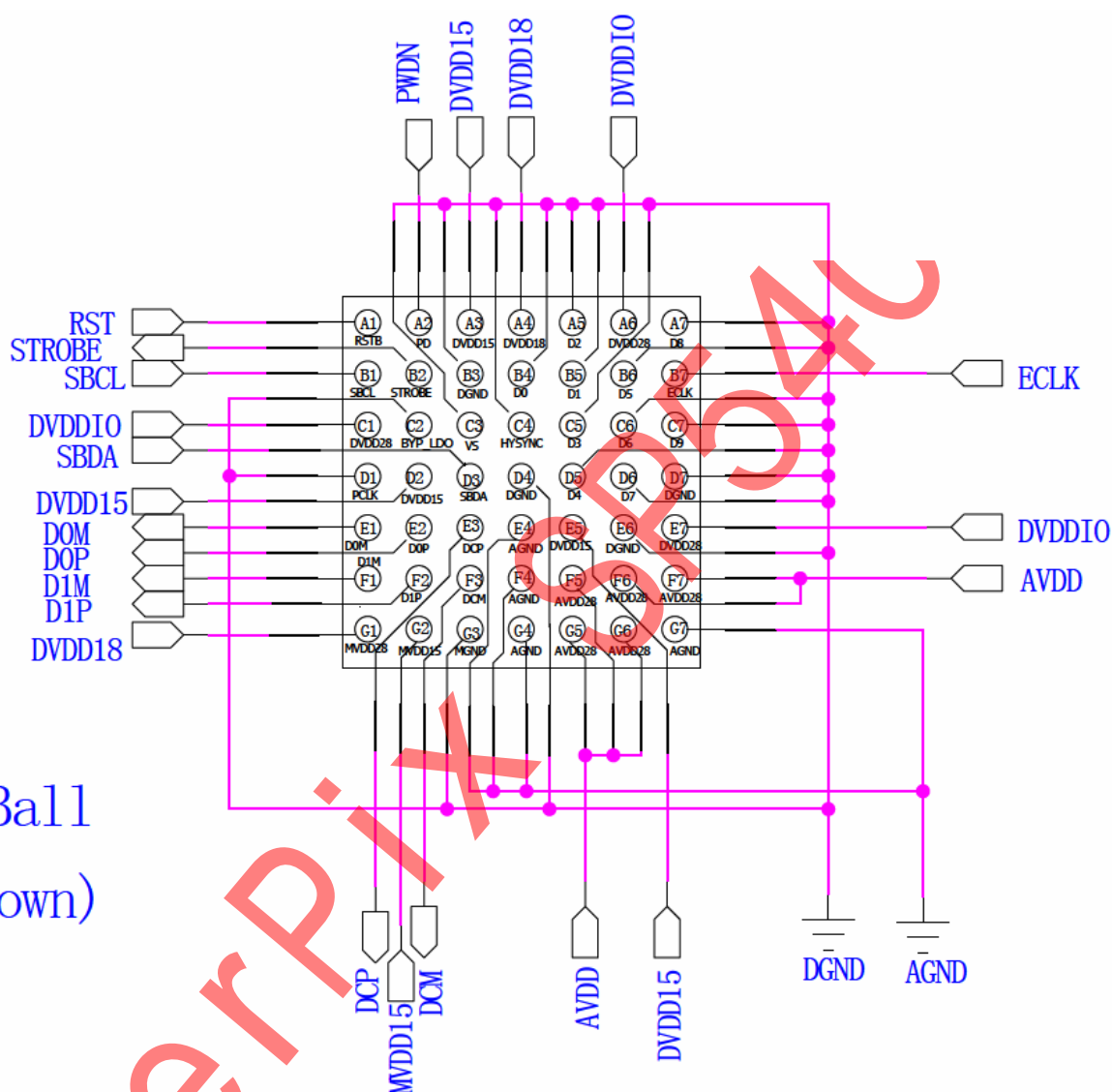
第 2 章 封装信息.....16

第 3 章 成像方向.....20

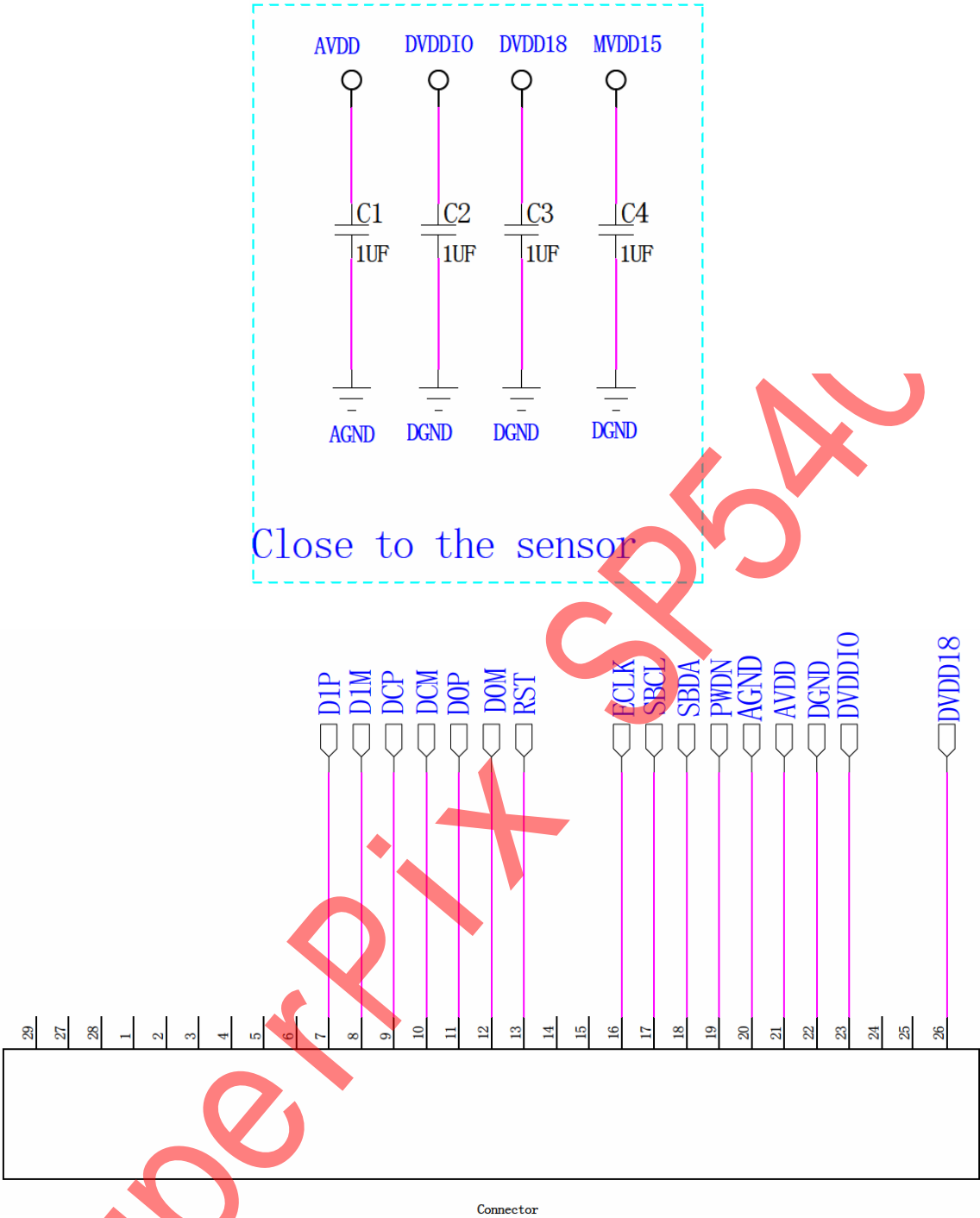
第 4 章 版本历史.....21

## 第1章 参考设计

### 1.1 MIPI 接口模式 1.8V&2.8V



SP5408 Ball  
(bump down)



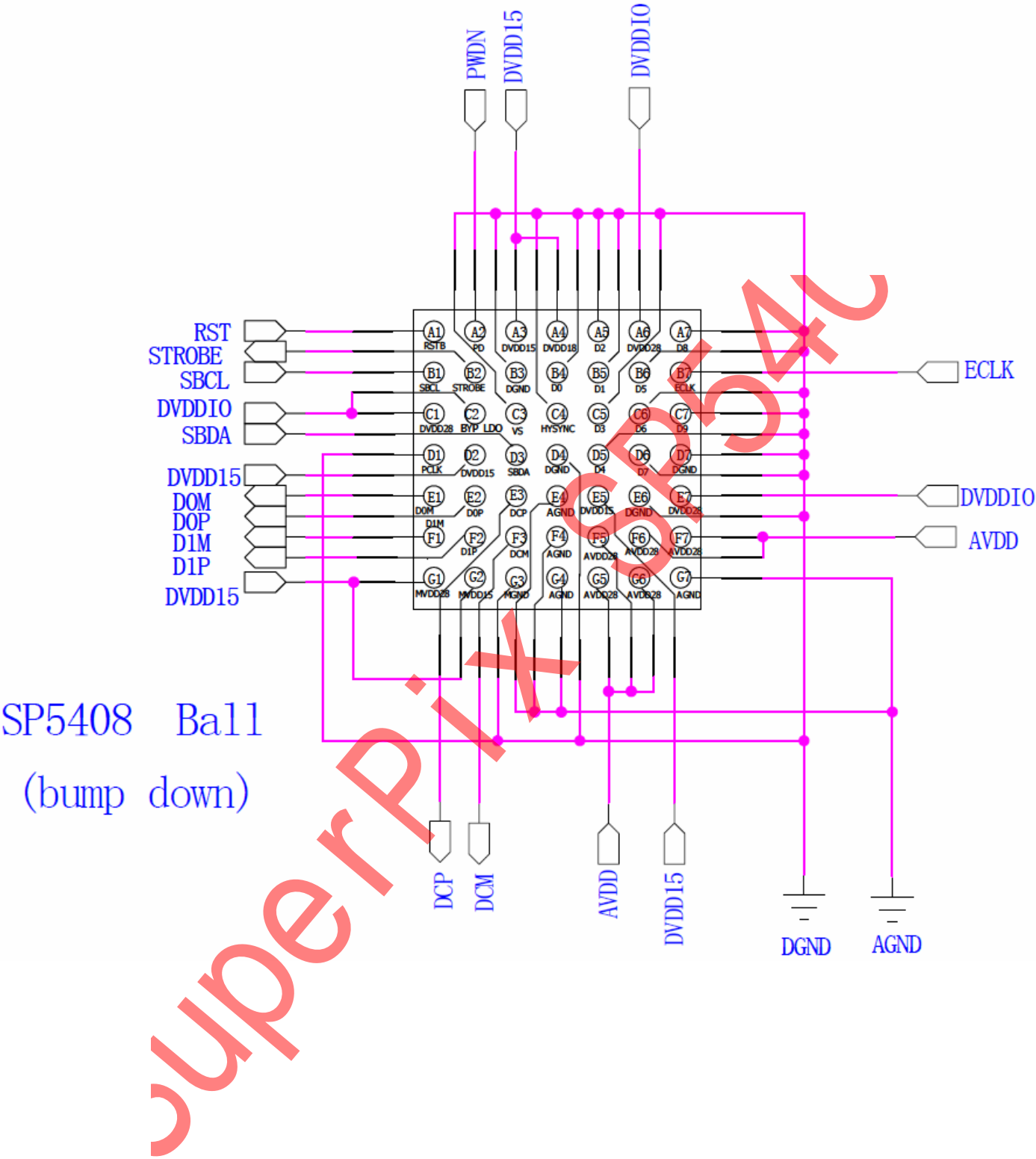
图表 1 MIPI 模式参考设计 1.8V&2.8V

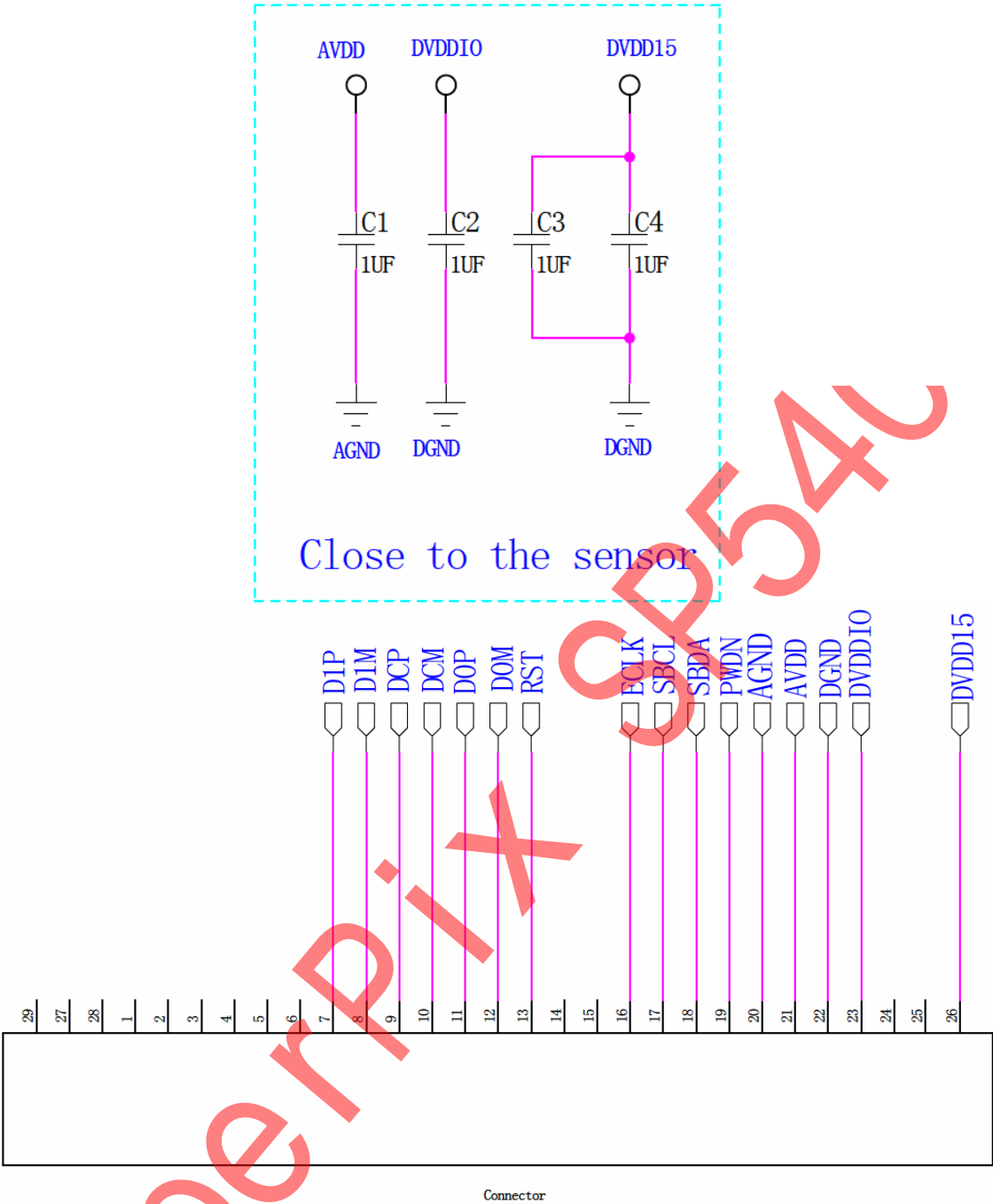
注：

- 1. 此设计是 MIPI 模式，并口管脚 D0-D9/HSYNC/VSYNC/PCLK 直接接地。若系统接口有 STROBE，则芯片的 STROBE 管脚引出，若没有，则芯片的 STROBE 管脚接地；BYPASS\_LDO 管脚接地；

2. 当客户平台端有 1.8V 和 2.8V 时：电源 DVDDIO 可兼容 1.8V/2.8V，根据系统接口电气特性由系统设定；AVDD 必须为 2.8V；若系统 DVDDIO 高于 2.8V 时，那么 DVDDIO 和 AVDD 短接采用同一路电压输入；DVDD18 接 1.8V；MVDD28 与 DVDD18 短接；MVDD15 接外部电容，不用引到接口处；DVDD15 三个 PAD（A3, D2, E5）管脚内部短接悬空即可（不能拉低），不用引到接口处；
3. PCB 设计时，芯片电源滤波电容（最小一定要贴 0402 封装 1uf），请靠近电源管脚放置，电源应尽可能不细于 0.2mm 设计，地线拉网铺地；
4. D0P/D0M, D1P/D1M, DCP/DCM 是三对差分线，走线要尽可能等长等间距被地包着走，差分线底层（或 TOP 层）要有完整参考地，PCB 打样时要告诉 PCB 厂家哪些是差分线，要求厂家在制作时也要进行阻抗控制，阻抗标准 100ohm，误差不能超过  $\pm 10\%$ ；
5. 模组生产时，FPC 采用抗干扰设计。

1.2 MIPI 接口模式 1.5V&2.8V





图表 2 MIPI 模式参考设计 1.5V&2.8V

注：

1. 此设计是 MIPI 模式，并口管脚 D0-D9/HSYNC/VSYNC/PCLK 直接接地。若系统接口有 STROBE，则芯片的 STROBE 管脚引出，若没有，则芯片的 STROBE 管脚接地；BYPASS\_LDO 管脚接 DVDDIO；
2. 当客户端平台只有 1.5V 和 2.8V 供电时；DVDDIO 接 2.8V；AVDD 必



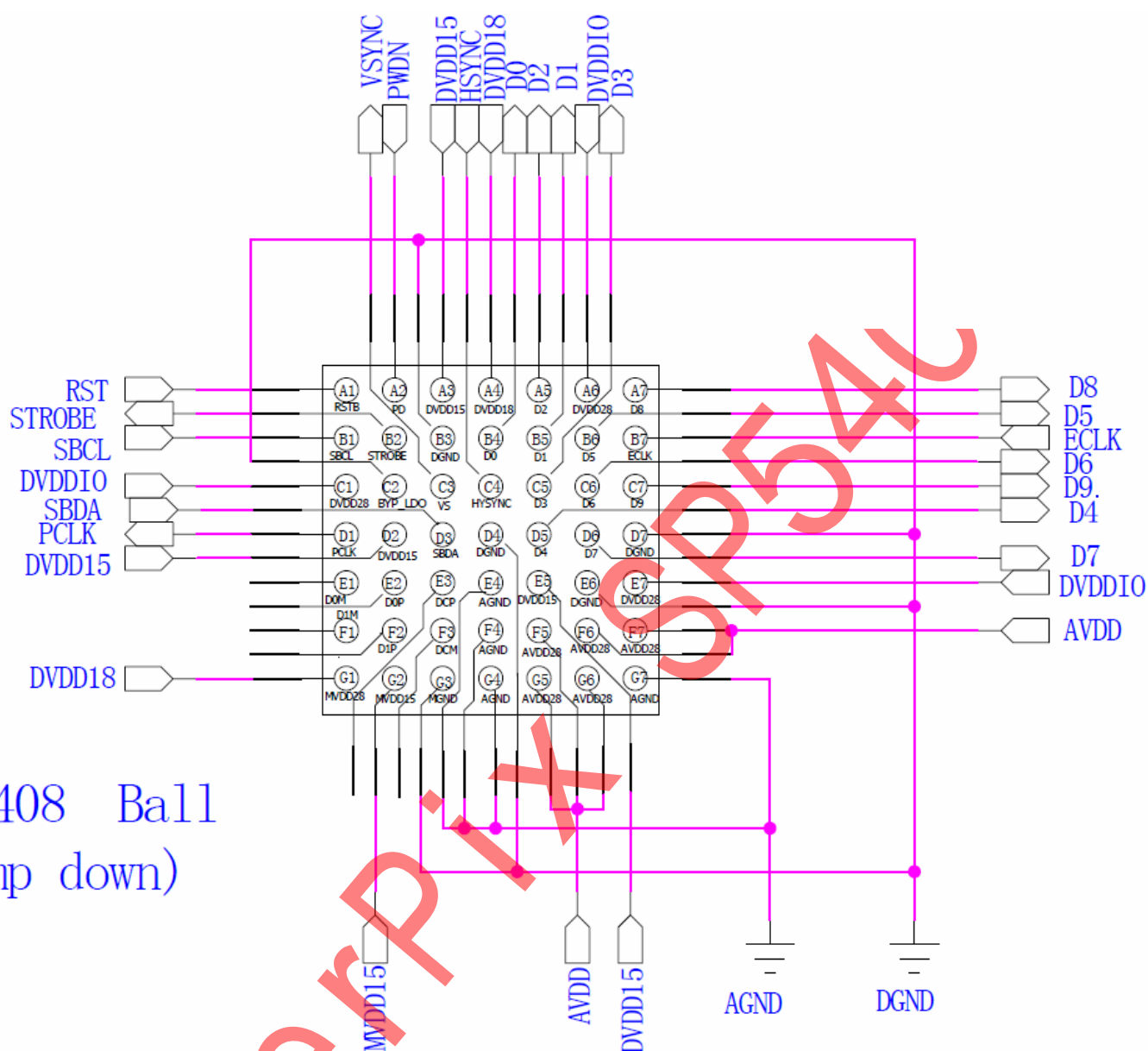
须是 2.8V；DVDD18，DVDD15，MVDD28 和 MVDD15 短接，接  $1.5V \pm 5\%$ ；

3. PCB 设计时，芯片电源滤波电容（最小一定要贴 0402 封装 1uf），请靠近电源管脚放置，C3 或 C4 一定要有一电容靠近 MVDD15（G2）管脚放置，电源应尽可能不细于 0.2mm 设计，地线拉网铺地；

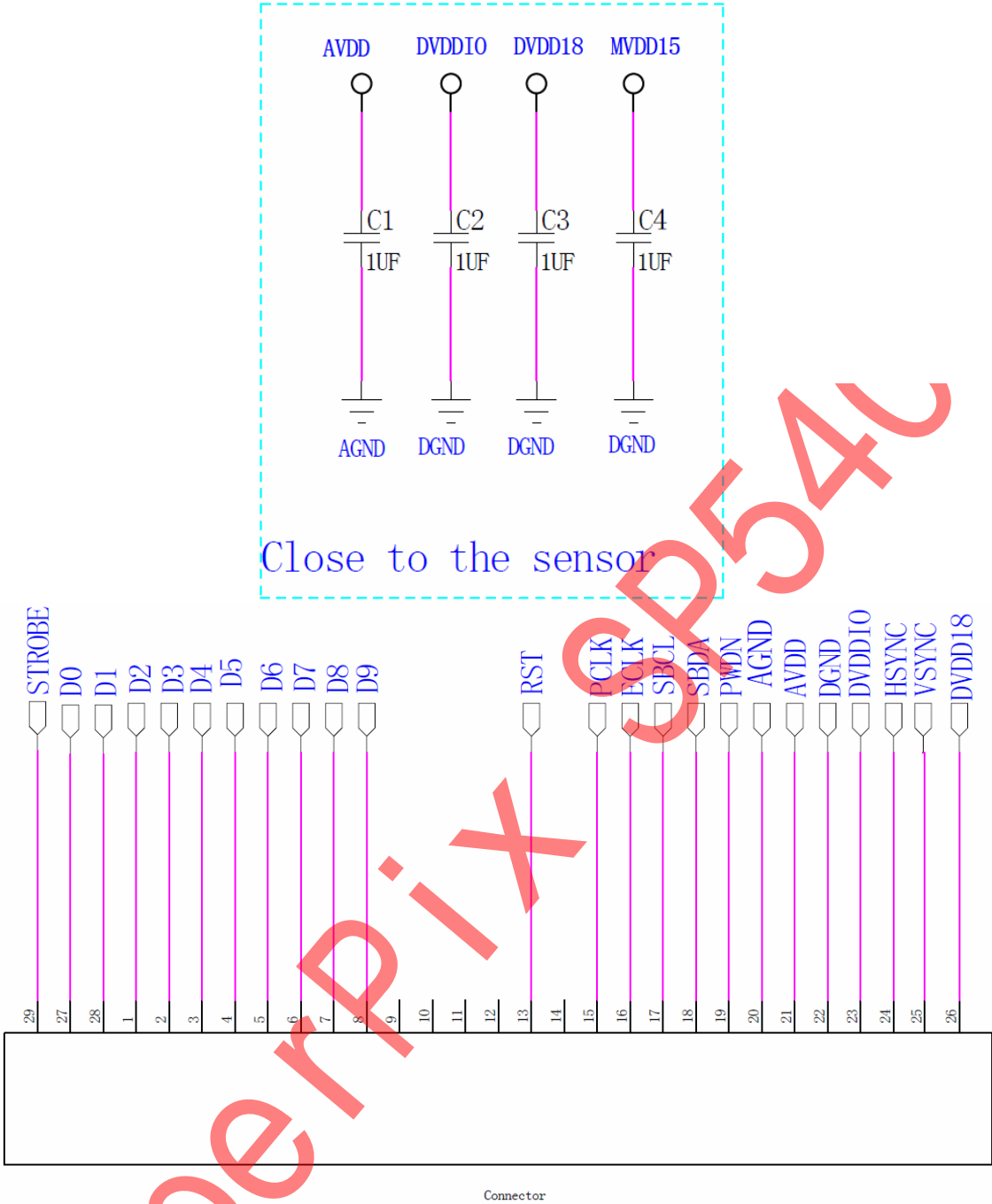
4. D0P/D0M，D1P/D1M，DCP/DCM 是三对差分线，走线要尽可能等长等间距被地包着走，差分线底层（或 TOP 层）要有完整参考地，PCB 打样时要告诉 PCB 厂家哪些是差分线，要求厂家在制作时也要进行阻抗控制，阻抗标准 100ohm，误差不能超过  $\pm 10\%$ ；

5. 模组生产时，FPC 采用抗干扰设计。

## 1.3 并行接口模式 1.8V&amp;2.8V



SP5408 Ball  
(bump down)



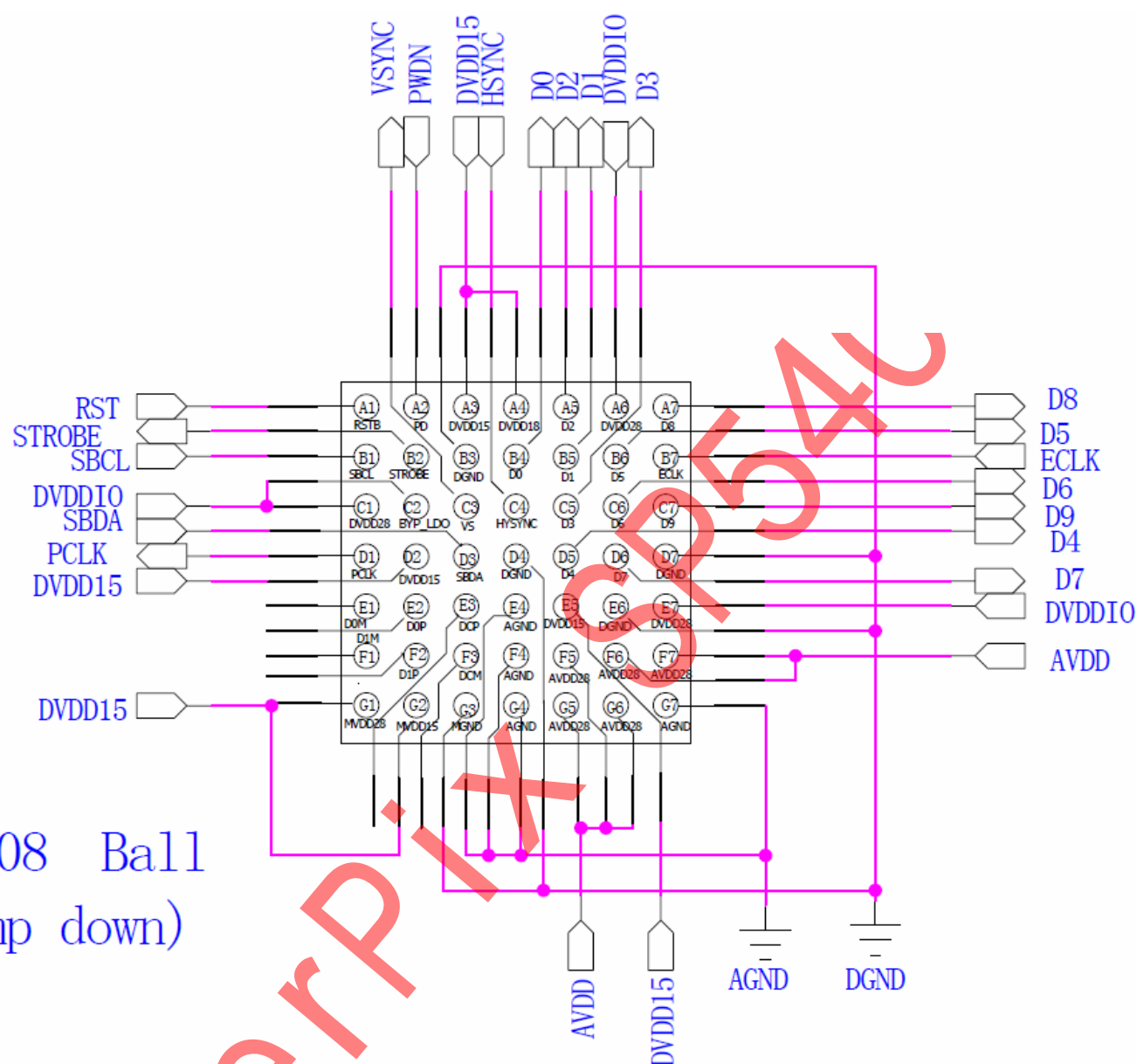
图表 3 并口模式参考设计 1.8V&2.8V

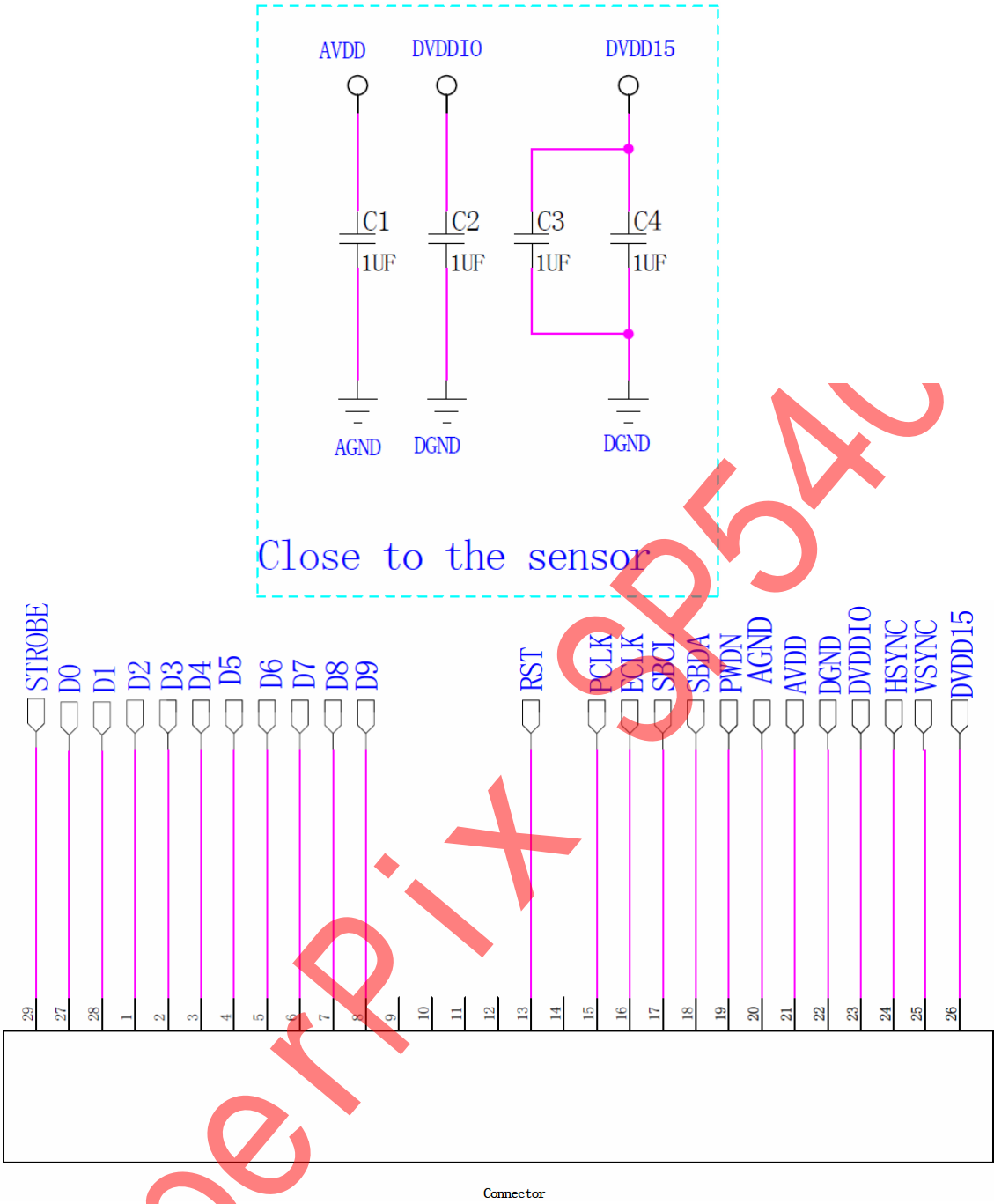
注：

1. 此设计是并口模式：MIPI 信号管脚 DCM/DCP, D0M/D0P, D1M/D1P 悬空（不能拉低），STROBE 根据客户要求灵活添加到接口处，此设计是 10Bit 模式，若客户只要 8Bit，可以把 D2-D9 作为 8Bit，D0/D1 悬空即可；BYPASS-LDO 管脚接地；

2. 当客户平台端有 1.8V 和 2.8V 供电时：电源 DVDDIO 可兼容 1.8V/2.8V，根据系统接口电气特性由系统设定；AVDD 必须为 2.8V；若系统 DVDDIO 高于 2.8V 时，那么 DVDDIO 和 AVDD 短接采用同一路电压输入；DVDD18 接 1.8V；MVDD28 与 DVDD18 短接；MVDD15 接外部电容，不用引到接口处；DVDD15 三个 PAD（A3，D2，E5）管脚内部短接悬空即可（不能拉低），不用引到接口处；
3. PCB 设计时，芯片电源滤波电容（最小一定要贴 0402 封装 1uf），请靠近电源管脚放置，电源应尽可能不细于 0.2mm 设计，地线拉网铺地；
4. PCLK/HSYNC/VSYNC/D0-D9/I<sup>2</sup>C 走线尽可能平行等长设计，时钟走线尽可能短粗被地包着走；
5. 模组生产时，FPC 采用抗干扰设计。

## 1.4 并行接口模式 1.5V&amp;2.8V





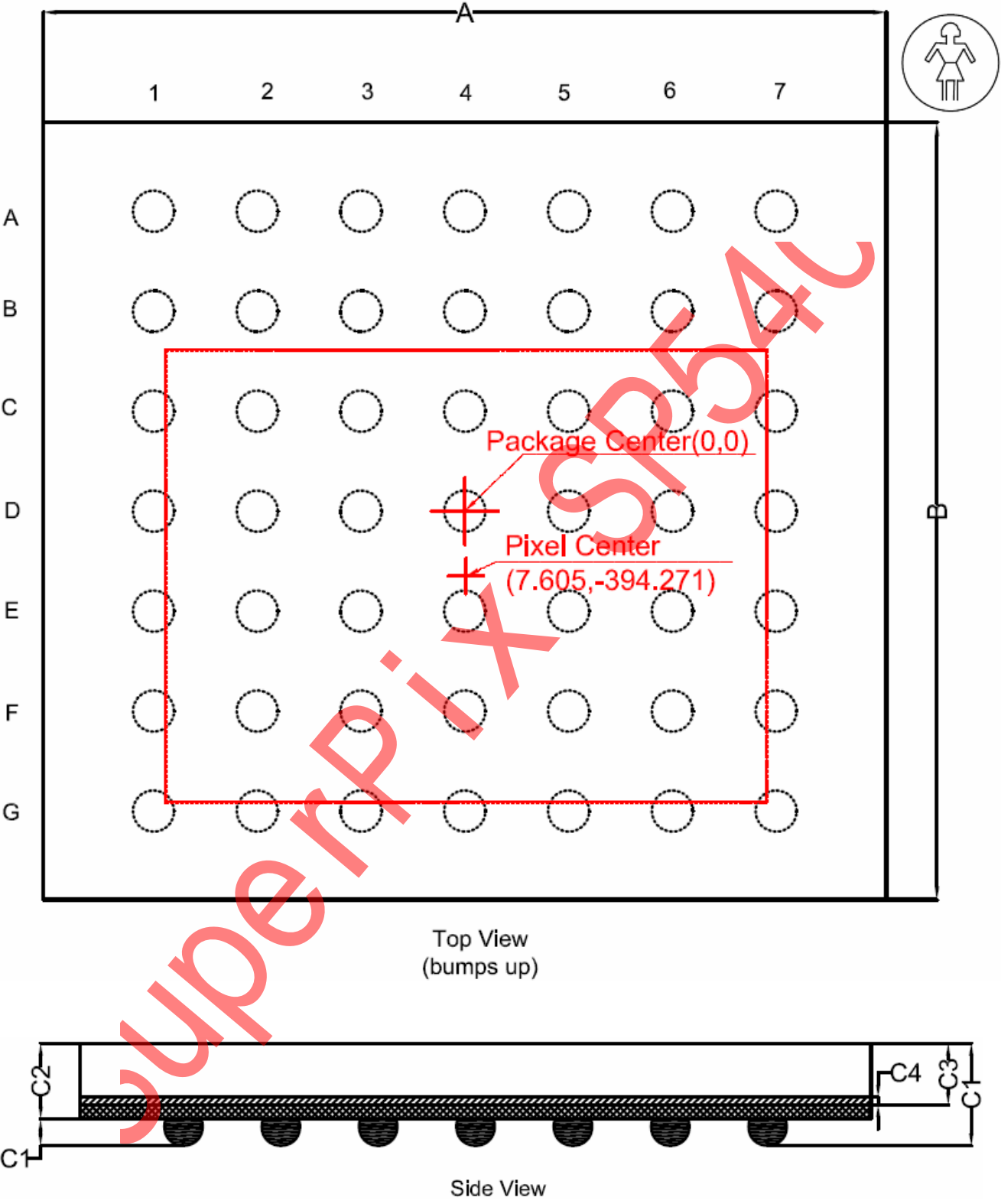
图表 4 并口模式参考设计 1.5V&2.8V

注：

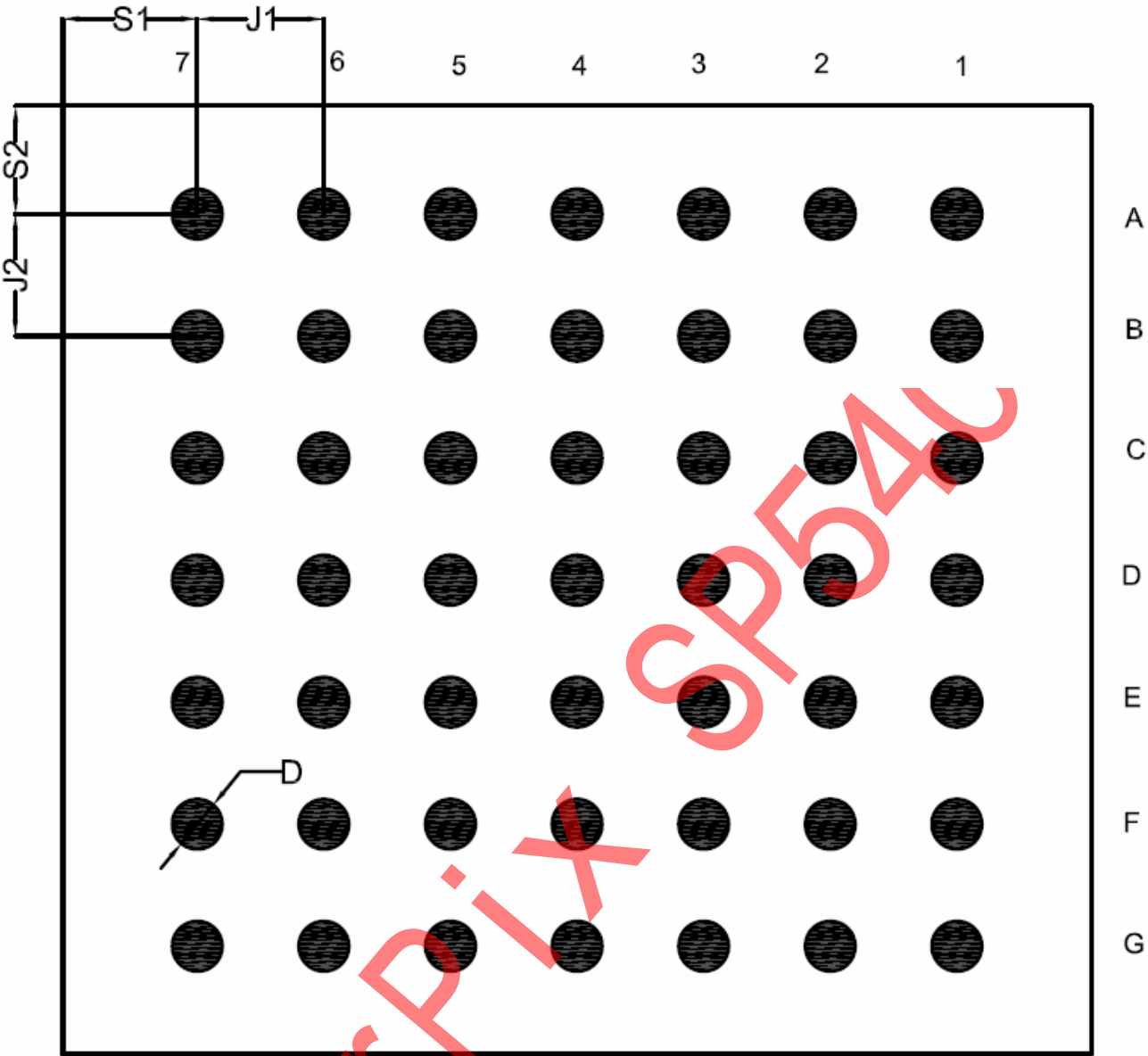
1. 此设计是并口模式：MIPI 信号管脚 DCM/DCP，D0M/D0P，D1M/D1P 悬空（不能拉低），STROBE 根据客户需要灵活添加到接口处，此设计是 10Bit 模式，若客户只要 8Bit，可以把 D2-D9 作为 8Bit，D0/D1 悬空即可；BYPASS-LDO 管脚接 DVDDIO；

2. 当客户端平台只有 1.5V 和 2.8V 供电时；DVDDIO 接 2.8V；AVDD 必须为 2.8V；DVDD18，DVDD15，MVDD28 和 MVDD15 短接，接 1.5V  $\pm$  5%；
3. PCB 设计时，芯片电源滤波电容（最小一定要贴 0402 封装 1 $\mu$ f），请靠近电源管脚放置，C3 或 C4 一定要有一电容靠近 MVDD15（G2）管脚放置，电源应尽可能不细于 0.2mm 设计，地线拉网铺地；
4. PCLK/HSYNC/VSING/D0-D9/I<sup>2</sup>C 走线尽可能平行等长设计，时钟走线尽可能短粗被地包着走；
5. 模组生产时，FPC 采用抗干扰设计。

第2章 封装信息







Bottom View  
(bumps up)

Table1 Package Dimensions	Symbol	Nominal	Min.	Max.
Package Body Dimension X	A	5118	5098	5138
Package Body Dimension Y	B	4718	4698	4738
Package Height	C	667	633	701
Glue(between cover glass and sensor)	C4	50	45	55
Thickness of glass surface to wafer	C3	400	385	415
Package Body Thickness	C2	493	466	520
Ball Height	C1	174	154	194
Ball Diameter	D	250	240	260
Total Ball count	N	49	--	--
Pin pitch1 X axis	J1	630	--	--
Pin pitch Y axis	J2	607	--	--
Edge to Pin Center Distance along X	S1	669	639	699
Edge to Pin Center Distance along Y	S2	538	508	568

图表 5 封装规格

	1	2	3	4	5	6	7
A	RSTB	PWDN	DVDD15	DVDD18	D2	DVDD28	D8
B	SBCL	STROBE	DGND	D0	D1	D5	ECLK
C	DVDD28	BYPASS_LDO	VSYNC	HSYNC	D3	D6	D9
D	PCLK	DVDD15	SBDA	DGND	D4	D7	DGND
E	D0M	D0P	DCP	AGND28	DVDD15	DGND	DVDD28
F	D1M	D1P	DCM	AGND28	AVDD28	AVDD28	AVDD28
G	MVDD28	MVDD15	MGND28	AGND28	AVDD28	AVDD28	AGND28

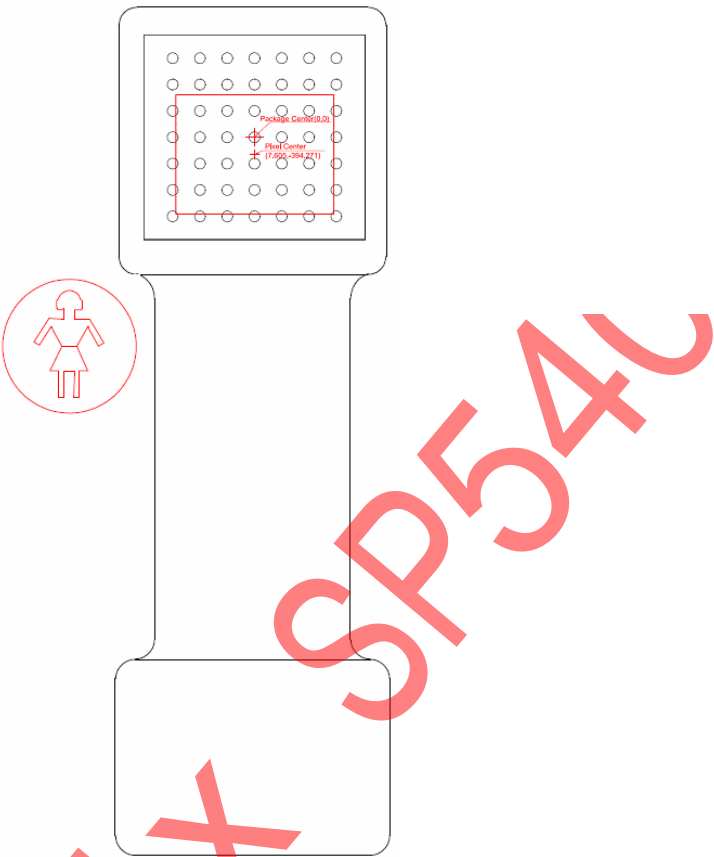
图表 6 锡球阵列信息

SP5408 PAD information			
Unit: um			
NO.	PAD Name	I/O	Description
A1	RSTB	I	Reset Signal,Low level reset
A2	PD	I	Power down,"0" normal
A3	DVDD15	DP	While "BYPASS_LDO" Pin connect to"0",internal power supply 1.5V. While "BYPASS_LDO" Pin connect to"1",external power supply 1.5V.
A4	DVDD18	DP	Digital Power 1.8V
A5	D2	O	Pixel Array Output bit 2
A6	DVDD28	DP	Digital Power 2.8V
A7	D8	O	Pixel Array Output bit 8
B1	SBCL	I	Slave I2C clock bus
B2	STROBE	O	Strobe Signal
B3	DGND	DG	Digital Ground
B4	D0	O	Pixel Array Output bit 0
B5	D1	O	Pixel Array Output bit 1

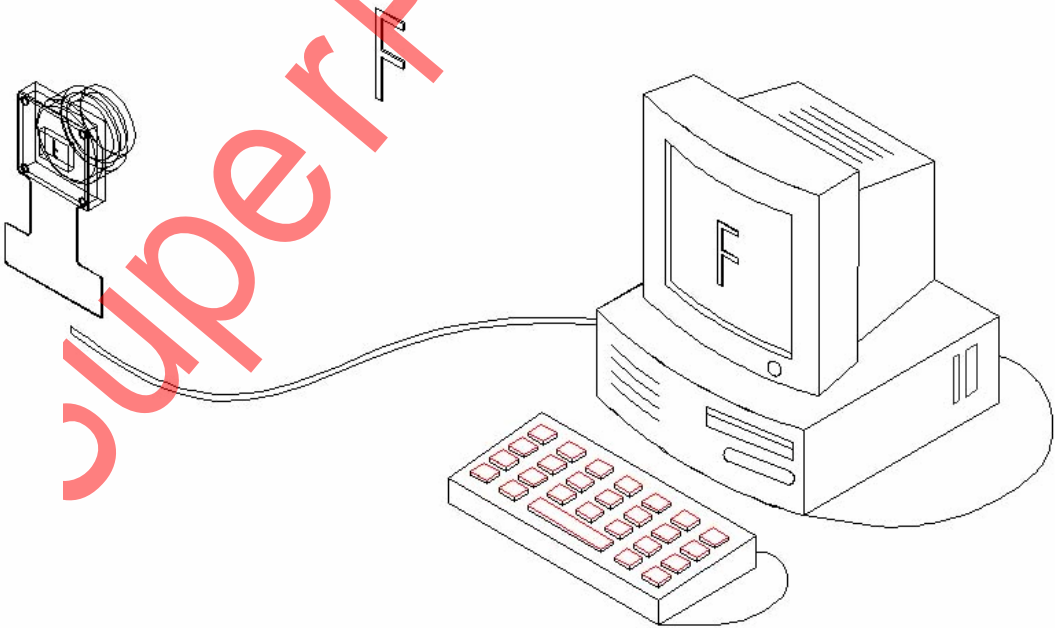
B6	D5	O	Pixel Array Output bit 5
B7	ECLK	I	Input system clock
C1	DVDD28	DP	Digital Power 2.8V
C2	BYPASS_LDO	O	"0"Internal Power supply,"1"External Power supply.
C3	VSYNC	O	Vertical Sync Signal
C4	HSYNC	O	Horizontal Sync Signal
C5	D3	O	Pixel Array Output bit 3
C6	D6	O	Pixel Array Output bit 6
C7	D9	O	Pixel Array Output bit 9
D1	PCLK	O	Pixel Output Clock
D2	DVDD15	DP	The same as PAD"A3" description
D3	SBDA	I/O	Slave Tri-state,I2C data bus
D4	DGND	DG	Digital Ground
D5	D4	O	Pixel Array Output bit 4
D6	D7	O	Pixel Array Output bit 7
D7	DGND	DG	Digital Ground
E1	D0M	O	MIPI Data0 Output -
E2	D0P	O	MIPI Data0 Output +
E3	DCP	O	MIPI Clock Output +
E4	AGND	AG	Analog Ground
E5	DVDD15	DP	The same as PAD"A3" description
E6	DGND	DG	Digital Ground
E7	DVDD28	DP	Digital Power 2.8V
F1	D1M	O	MIPI Data1 Output -
F2	D1P	O	MIPI Data1 Output +
F3	DCM	O	MIPI Clock Output -
F4	AGND	AG	Analog Ground
F5	AVDD	AP	Analog Power 2.8V
F6	AVDD	AP	Analog Power 2.8V
F7	AVDD	AP	Analog Power 2.8V
G1	MVDD28	MP	MIPI Power 1.8V
G2	MVDD15	MP	External Connect capacitance(1uF)
G3	MGND28	MG	MIPI Ground
G4	AGND	AG	Analog Ground
G5	AVDD	AP	Analog Power 2.8V
G6	AVDD	AP	Analog Power 2.8V
G7	AGND	AG	Analog Ground

图表 7 Pad 描述

第3章 成像方向



图表 8 模组在芯片中的摆放示意图



图表 9 模组在电脑中的显示示意图

第4章 版本历史

版本	日期	描述
SP5408 硬件设计指导手册 1.0	2013.02.20	1. 第一版 for TSV 封装，参考设计 ref2013.2.20 v1.0，封装 ref01/25-13 1.0
SP5408 硬件设计指导手册 1.1	2013.07.05	1. TSV 封装，修改参考设计 ref2013.07.02 v2.0，修改封装 ref07/01-13 1.0